

#4
W. J. J.
7-13-99

THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)
NAOTO ABE) Examiner: Unassigned
Application No.: 09/248,980) Group Art Unit: 2711
Filed: February 12, 1999)
For: IMAGE FORMING APPARATUS,) April 26, 1999
ELECTRON BEAM APPARATUS,)
MODULATION CIRCUIT, AND)
IMAGE-FORMING APPARATUS)
DRIVING METHOD)

Assistant Commissioner for Patents
Washington, D.C. 20231

CLAIM TO PRIORITY

RECEIVED
APR 28 1999
Group 2700

Sir:

Applicant hereby claims priority under the International Convention and all rights to which he is entitled under 35 U.S.C. § 119 based upon the following Japanese Priority Applications:

JP 10-033369, filed February 16, 1998;

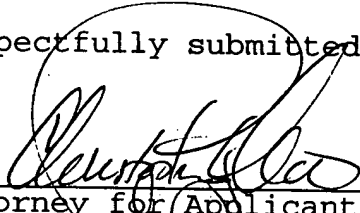
JP 11-032255, filed February 10, 1999; and

JP 10-126460, filed May 8, 1998.

A certified copy of the priority documents are enclosed.

Applicant's undersigned attorney may be reached in
New York office by telephone at (212) 218-2100. All
correspondence should continue to be directed to our address
given below.

Respectfully submitted,



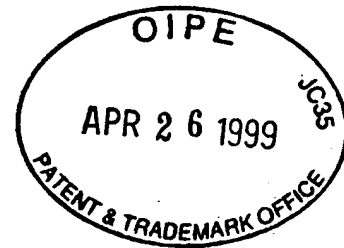
Attorney for Applicant

Registration No. 32,078

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3801
Facsimile: (212) 218-2200
F511\W180343\JWB\BSM\CPW\gmc

(translation of the front page of the priority document of
Japanese Patent Application No. 10-126460)

PATENT OFFICE
JAPANESE GOVERNMENT



This is to certify that the annexed is a true copy of the
following application as filed with this Office.

Date of Application: May 8, 1998

Application Number : Patent Application 10-126460

Applicant(s) : Canon Kabushiki Kaisha

March 12, 1999

Commissioner,
Patent Office

Takeshi ISAYAMA

RECEIVED

APR 28 1999

Group 2700

Certification Number 11-3014331

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

CFM1466 v2 (K)
09/248, 980
2/12/99
GAH-2711
KR

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
this Office.

願年月日
Date of Application:

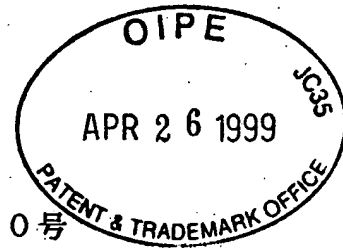
1998年 5月 8日

願番号
Application Number:

平成10年特許願第126460号

願人
Applicant(s):

キヤノン株式会社

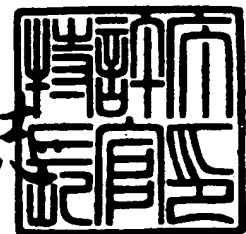


CERTIFIED COPY OF
PRIORITY DOCUMENT

1999年 3月12日

特許庁長官
Commissioner,
Patent Office

伴佐山 建志



出証番号 出証特平11-3014331

【書類名】 特許願

【整理番号】 3402007

【提出日】 平成10年 5月 8日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 3/00

【発明の名称】 画像表示方法及び装置

【請求項の数】 15

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
 社内

 【氏名】 阿部 直人

【特許出願人】

 【識別番号】 000001007

 【氏名又は名称】 キヤノン株式会社

【代理人】

 【識別番号】 100076428

 【弁理士】

 【氏名又は名称】 大塚 康德

 【電話番号】 03-5276-3241

【選任した代理人】

 【識別番号】 100093908

 【弁理士】

 【氏名又は名称】 松本 研一

 【電話番号】 03-5276-3241

【選任した代理人】

 【識別番号】 100101306

 【弁理士】

 【氏名又は名称】 丸山 幸雄

 【電話番号】 03-5276-3241

【手数料の表示】

【予納台帳番号】 003458

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704672

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像表示方法及び装置

【特許請求の範囲】

【請求項 1】 マトリクス状に配線された複数の冷陰極素子を備える電子源と、前記電子源から放出される電子により発光して画像を表示する画像表示部材とを有する表示パネルと、

入力した画像信号の変換特性に応じたクロック信号を発生するクロック信号発生手段と、

前記入力した画像信号に基づいて前記表示パネルに入力する各水平走査分の画像信号を、前記クロック信号発生手段が発生するクロック信号に基づいてパルス幅変調した変調信号を発生する変調手段と、

前記各水平走査分の画像信号に同期して前記表示パネルの水平走査線を駆動する水平駆動手段と、

を有することを特徴とする画像表示装置。

【請求項 2】 前記変調手段は、前記クロック信号を入力し、対応する画像信号の値に応じた数だけ前記クロック信号をカウントして前記パルス幅変調信号を出力することを特徴とする請求項 1 に記載の画像表示装置。

【請求項 3】 前記クロック信号発生手段は、基準クロック信号を入力してカウントするカウンタと、前記カウンタの出力によりアドレスされ、各アドレスに画像信号の変換特性に応じたクロックデータが書き込まれているメモリとを備え、前記メモリからの出力データが前記クロック信号となることを特徴とする請求項 1 又は 2 に記載の画像表示装置。

【請求項 4】 前記クロック信号発生手段は、基準クロック信号を入力してデータをラッチする複数のフリップフロップと、前記画像信号の変換特性に応じたデータを記憶しているメモリと、パルス幅変調開始前に前記メモリに記憶されているデータを前記複数のフリップフロップに並列にラッチし、その後、前記複数のフリップフロップを直列に接続し前記基準クロック信号に同期して順次転送し前記複数のフリップフロップに記憶されているデータを、前記クロック信号として出力することを特徴とする請求項 1 又は 2 に記載の画像表示装置。

【請求項 5】 前記クロック信号発生手段は、
基準クロック信号を入力してそれぞれ異なる分周値で分周する複数の分周手段と、
前記基準クロック信号をカウントする計数手段と、
前記計数手段の出力値と、それぞれ異なる所定値とを比較する複数の比較手段と、
前記比較手段の出力に応じて前記複数の分周手段の出力を選択し、前記クロック信号として出力する選択手段とを備え、前記それぞれ異なる所定値は前記画像信号の変換特性に応じて決定されていることを特徴とする請求項 1 又は 2 に記載の画像表示装置。

【請求項 6】 前記クロック信号発生手段は、前記変換特性に基づく制御電圧に応じた周波数の信号を発生してする発振器を有し、前記発振器の出力が前記クロック信号となることを特徴とする請求項 1 又は 2 に記載の画像表示装置。

【請求項 7】 前記冷陰極素子は、表面伝導型放出素子であることを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の画像表示装置。

【請求項 8】 前記冷陰極素子は、F E 型放出素子であることを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の画像表示装置。

【請求項 9】 前記冷陰極素子は、M I M 型放出素子であることを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の画像表示装置。

【請求項 10】 マトリクス状に配線された複数の冷陰極素子を備える電子源と、前記電子源から放出される電子により発光して画像を表示する画像表示部材とを有する表示パネルに画像を表示する画像表示方法であって、

入力した画像信号の変換特性に応じたクロック信号を発生するクロック信号発生工程と、

前記入力した画像信号に基づいて前記表示パネルに入力する各水平走査分の画像信号を、前記クロック信号発生手段が発生するクロック信号に基づいてパルス幅変調した変調信号を発生する変調工程と、

前記各水平走査分の画像信号に同期して前記表示パネルの水平走査線を駆動する水平駆動工程と、

を有することを特徴とする画像表示方法。

【請求項 11】 前記変調工程では、前記クロック信号を入力し、対応する画像信号の値に応じた数だけ前記クロック信号をカウントして前記パルス幅変調信号を出力することを特徴とする請求項 10 に記載の画像表示方法。

【請求項 12】 前記クロック信号発生工程では、基準クロック信号を入力してカウントし、そのカウント出力によりアドレスされ、各アドレスに画像信号の変換特性に応じたクロックデータが書き込まれているメモリからの出力データが前記クロック信号となることを特徴とする請求項 10 又は 11 に記載の画像表示方法。

【請求項 13】 前記クロック信号発生工程では、基準クロック信号に同期して、画像信号の変換特性に応じたデータを記憶しているメモリのデータを複数のフリップフロップに並列にラッチし、その後、複数のフリップフロップを直列に接続し、基準クロック信号に同期して順次転送し複数のフリップフロップに記憶されているデータを前記クロック信号として出力することを特徴とする請求項 10 又は 11 に記載の画像表示方法。

【請求項 14】 前記クロック信号発生工程では、基準クロック信号をカウントし、そのカウント値と、それぞれ異なる所定値とを比較し、その比較結果に応じて、基準クロック信号を入力してそれぞれ異なる分周値で分周する複数の分周手段の出力を選択し、クロック信号として出力することを特徴とする請求項 10 又は 11 に記載の画像表示方法。

【請求項 15】 前記クロック信号発生工程では、前記変換特性に基づく制御電圧に応じた周波数の信号を発生し、前記信号の前記クロック信号となることを特徴とする請求項 10 又は 11 に記載の画像表示方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、テレビジョン画像信号やデジタル画像信号を入力して表示する画像表示方法及び装置に関するものである。

【0002】

【従来の技術】

従来のNTSC信号を入力してデジタル信号に変換し、表示パネルに表示する画像表示装置では、アナログテレビジョン信号を一旦デジタル信号に変換し、その変換したデジタル信号に対してルックアップテーブルを用いてガンマ補正などの変換を行った後、そのデジタル信号を例えばパルス幅変調して画像表示を行っている。

【0003】

このようなルックアップテーブルでは、入出力データを例えば8ビットとし、例えば低輝度の階調レベルでは、入力データの「00H」（“H”は16進数であることを示す）に対して出力が「00H」、中間調レベルでは入力データ「AAH」に対して出力が「55H」、高輝度の階調のレベルでは入力データ「FFH」に対して「FFH」が出力される。そして、その変換された結果は、リニアな特性とみなされて画像信号として表示される。

【0004】

【発明が解決しようとする課題】

このようなルックアップテーブルを用いた輝度変換処理では、本来の目的である輝度信号の制御は良好に行なえたが、従来例で示したように、例えば8ビット入出力を持つルックアップテーブルの場合、ガンマ補正の計算値がデジタルデータの最小分解能以下は存在せず、必要に応じて要求される出力データを四捨五入等して変換テーブルを作製していた。そのため表示される画像の階調性（輝度分解能）が損なわれ、表示された画像において画質劣化が生じていた。例えば、従来例の様にガンマ補正を行なうと、ルックアップテーブルの入出力特性は、低輝度の場合、入力データが4増加すると出力データが1だけ増加する特性となる。即ち、入力データが4以下の場合、出力データが“0”又は“1”にまとめられる。そのため特に低輝度における階調性（輝度分解能）が損なわれて画質劣化が生じていた。上記従来例では、ガンマ補正の場合で説明したが、同様な構成でコントラスト変換等を行なう場合も同様の問題があった。

【0005】

本発明は上記従来例に鑑みてなされたもので、画像信号の変換特性に応じた周

波数のクロック信号によりパルス幅変調した信号を出力して画像を表示する画像表示方法及び装置を提供することを目的とする。

【0006】

また本発明の目的は、要求される輝度分解能を持つ画像を最小限の規模のハードウェアにより実現した画像表示方法及び装置を提供することにある。

【0007】

【課題を解決するための手段】

上記目的を達成するために本発明の画像表示装置は以下のような構成を備える。即ち、

マトリクス状に配線された複数の冷陰極素子を備える電子源と、前記電子源から放出される電子により発光して画像を表示する画像表示部材とを有する表示パネルと、

入力した画像信号の変換特性に応じたクロック信号を発生するクロック信号発生手段と、

前記入力した画像信号に基づいて前記表示パネルに入力する各水平走査分の画像信号を、前記クロック信号発生手段が発生するクロック信号に基づいてパルス幅変調した変調信号を発生する変調手段と、

前記各水平走査分の画像信号に同期して前記表示パネルの水平走査線を駆動する水平駆動手段とを有することを特徴とする。

【0008】

また上記目的を達成するために本発明の画像表示方法は以下のような工程を備える。即ち、

マトリクス状に配線された複数の冷陰極素子を備える電子源と、前記電子源から放出される電子により発光して画像を表示する画像表示部材とを有する表示パネルに画像を表示する画像表示方法であって、

入力した画像信号の変換特性に応じたクロック信号を発生するクロック信号発生工程と、

前記入力した画像信号に基づいて前記表示パネルに入力する各水平走査分の画像信号を、前記クロック信号発生手段が発生するクロック信号に基づいてパルス

幅変調した変調信号を発生する変調工程と、

前記各水平走査分の画像信号に同期して前記表示パネルの水平走査線を駆動する水平駆動工程とを有することを特徴とする。

【0009】

【発明の実施の形態】

本発明の実施の形態に係る画像表示装置に使用するマトリクス型の表示パネルは、基本的には薄型の真空容器内に、基板上に多数の電子源、例えば冷陰極素子を配列してなるマルチ電子源と、このマルチ電子源からの電子の照射により画像を形成する画像形成部材を電子源に対向して備えている。

【0010】

ここで冷陰極素子は、例えばフォトリソグラフィ・エッチングのような製造技術を用いれば基板上に精密に位置決めして形成できるため、微小な間隔で多数個を配列することが可能である。しかも、従来からCRT等で用いられてきた熱陰極素子と比較すると、陰極自身や周辺部が比較的低温な状態で駆動できるため、より微細な配列ピッチのマルチ電子源を容易に実現できる。このマトリクス画像表示パネルの構成と製造法については後述する。

【0011】

以下、添付図面を参照して本発明の好適な実施の形態を詳細に説明する。

【0012】

<実施の形態1>

図1は、本発明の実施の形態の画像表示装置の回路構成を示すブロック図である。

【0013】

図1において、1は薄型の真空容器内に、基板上に多数の電子源、例えば冷陰極素子を配列してなるマルチ電子源を備えるマトリクス型の表示パネルであり、図1に示す様に、例えば水平方向に480素子、即ち、160画素(RGB)が配置され、垂直方向に240素子(240画素)が配置されている。本実施の形態では、480素子×240素子のマトリクス型表示パネルの例を示すが、素子数(表示画素数)に関しては必要に応じて決定されるので、この限りではない。

マトリクス型表示パネル1は、図1に示す様にRGBの順にストライプ状に配列された画素配置を備えている。

【0014】

2はアナログディジタル変換器(A/Dコンバータ)で、不図示のデコーダにより例えばNTSC信号からRGB信号にデコードされたアナログRGB信号を、例えば各々8ビットのディジタルRGB信号に変換する。3はデータ並び変え部であり、A/Dコンバータ2又はコンピュータ等のディジタルRGB信号(SG1)を入力し、マトリクス型の表示パネル1の画素配列に合わせてディジタル画像データを並び変えて出力する(SG2)。4はシフトレジスタで、データ並び変え部3から送られるシリアルデータをシフトクロック(SCLK)に同期して順次シフト転送し、マトリクス型の表示パネル1のそれぞれの素子に対応した各々8ビット幅のディジタルデータ(XD1~XD480)を形成する。5はPWMクロック発生器で、パルス幅変調用PWMクロック(PCLK)を変調信号発生部6に供給する。変調信号発生部6は、シフトレジスタ4から入力されるディジタルデータの値に応じて、PWMクロック(PCLK)をもとに出力する信号のパルス幅を決定する。7は変調信号ドライバで、変調信号発生部6からのパルス幅出力に応じて、マトリクス型の表示パネル1の変調信号線(列配線)を駆動する(駆動信号X1~X480とする)。尚、この実施の形態のマトリクス型の表示パネル1では、駆動パルス信号のパルス幅と発光輝度とがほぼ比例しているものとする。

【0015】

8は走査シフトレジスタであり、水平走査同期信号(HD)をシフトクロックとして入力し、入力画像の走査線に対応するマトリクス型の表示パネル1の走査配線(行配線)を順次駆動するデータを発生している。9は走査信号ドライバであり、走査シフトレジスタ8の出力に従ってマトリクス型の表示パネル1の走査配線(行配線)を順次駆動する。10はタイミング制御部で、各機能ブロックに所望のタイミングの制御信号を、入力画像信号に含まれている同期信号(sync)、及びディジタル画像信号(SG2)の同期クロック(データサンプリングクロック(DCLK))等から発生している。

【0016】

図2は、本実施の形態1の変調信号発生部6の構成の例を示すブロック図である。

【0017】

図2において、201はダウンカウンタであり、シフトレジスタ4からの出力である各々8ビットのデジタルデータXD_i (i=1~480)をロード信号(Ld)でロードし、PWMクロック(PCLK)をダウンカウントする。そして例えば、ダウンカウンタ201のボロー出力をパルス幅変調出力とする。即ち、PWMクロック(PCLK)の立ち上がりエッジの数がデジタルデータXD_iの値(設定値)と等しくなるまでの時間で決まるパルス幅信号を出力する。

【0018】

図3は、変調信号発生部6の動作タイミングを示すタイミング図である。

【0019】

ここでは、ダウンカウンタ201に値「p」が設定された場合のパルス幅変調信号出力(PWMout)のタイミングが示されている。

【0020】

図4は、本実施の形態のPWMクロック発生器5の構成を示すブロック図である。

【0021】

図4において、202はカウンタで、nクロック(nPCLK)をカウントする。203はROMで、各アドレスに、予め設定されたデータが1ビットで記憶されている。204はROM203の出力データ(1ビット)をラッチするラッチ回路である。

【0022】

図5は、リードオンリーメモリ(ROM)等のメモリ203のデータの一例を示す図で、図5の例でROM203は「0」~「2048」番地を有し、図5に示された各アドレスに対応するデータは「1」を意味しており、ここに示されていないアドレスには「0」が記憶されている。

【0023】

図2は、図1に示す本実施の形態1の画像表示装置における動作タイミング図を示す。以下、図1～図6に従って実施の形態1を説明する。

【0024】

図1において、不図示のデコーダにより、例えばNTSC信号からRGB信号にデコードされたアナログRGB信号が入力されると、A/Dコンバータ2は、各々例えば8ビットのデジタルRGB信号に変換する。データ並び変え部3は、A/Dコンバータ2又はコンピュータ等のデジタルRGB信号(SG1)を入力する。この際、1走査ライン(1H)のデータ数は、マトリクス型の表示パネル1の変調信号線(列配線)の画素数で決めると処理が簡単になる。本実施の形態1の場合、マトリクス型の表示パネル1の変調信号線側の画素数を「160」に定めている。A/Dコンバータ2又はコンピュータ等のデジタルRGB信号(SG1)は不図示のデータサンプリングクロック(DCLK)と同期して出力される。

【0025】

図2に示す様に、データ並び変え部3の入力信号(SG1)は、RGBパラレル信号をデータサンプリングクロック(DCLK)の3倍の周波数のクロックである不図示のシフトクロック(SCLK)のタイミングで切り替えられ、マトリクス型の表示パネル1のRGB画素配列に従って順次出力される。データ並び変え部3の出力信号(SG2)はシフトレジスタ4に送られ、このシリアルデータはシフトクロック(SCLK)に同期して順次シフト転送され、マトリクス型の表示パネル1のそれぞれの素子に対応した8ビットのデジタルデータXD_i($i=1\sim480$)を走査信号時間(水平走査時間)単位で出力する。この8ビットのデジタルデータ(XD₁～XD₄₈₀)は変調信号発生部6に入力され、前述したように変調信号発生部6は、「PWMクロック(PCLK)数」が「設定値」と等しくなるまでの時間で決まるパルス幅の信号を出力する。変調信号ドライバ7は、例えば電圧+V_{dd}(例えば+8V)で、変調信号発生部6から出力されるパルス幅でマトリクス型の表示パネル1の変調信号線(列配線)を駆動する。この結果、変調信号発生部6では「設定値」と駆動パルス幅の関係がリニアな関係で輝度変換されることができる。

【0026】

一方、走査シフトレジスタ 8 は、水平走査同期信号 (HD) をシフトクロックとし、入力画像に対応してマトリクス型の表示パネル 1 の走査配線を順次走査するためのデータを作る。走査信号ドライバ 9 は、例えばトランジスタスイッチング回路で構成され、走査シフトレジスタ 8 の出力を、マトリクス型の表示パネル 1 の選択された行配線が電圧 ($-V_{ss}$: 例えば $-8V$) になるように切り換えて順次出力する。

【0027】

マトリクス型の表示パネル 1 において、($+V_{dd}$) または ($-V_{ss}$) のみが印加される冷陰極素子は、後述する図 27 に示す様に素子の特性上、発光に寄与しない。このため、順次走査されているマトリクス型の表示パネル 1 の選択され駆動される各素子には ($+V_{dd}$) - ($-V_{ss}$) なる電圧が印加され、そのパルス幅が画像データの輝度に比例したパルス幅となる。このようにして表示パネル 1 の各素子が順次走査され、マトリクス型の表示パネル 1 に画像が表示される。

【0028】

本実施の形態では、輝度変換の一例として、ガンマ変換を説明する。このガンマ変換特性として、例えば、BT A, SMPTE 1125/60 スタジオ規格を用いて説明する。この規格は、

$$L = [(V + 0.1115) / 1.1115]^{(1/0.45)} : V \geq 0.0923$$

$$L = V / 4.0 : V < 0.0923 \quad \dots (1)$$

(\wedge はべき乗を意味する)

L は出力輝度、V は入力データである。

【0029】

上記式 (1) において、入力データ V は、素子に対応したデジタルデータ (XD1 ~ XD480) であり、L はそのときの変換後の輝度である。本実施の形態 1 のマトリクス型の表示パネル 1 は、パルス幅と発光輝度とがほぼ比例しているので、必要なパルス幅を式 (1) の出力輝度 L に比例させることによってガンマ変換が実現できる。

【0030】

この式 (1) のガンマ変換関数を、

$$L = f(V) \quad \cdots (2)$$

とおけば、表示パネル 1 の各素子を駆動するパルス幅 τ は各々

$$\tau \propto f(V) \quad \cdots (3)$$

と決めれば良い。

【0031】

即ち、 i 番目の PWM クロック (PCLK) のパルス周期を t_i とする。簡略化のために、入力データ V 、ガンマ変換関数 $f(V)$ を「255」で正規化して考えれば、

$$f(V) \doteq 255 \times (\sum t_i)_{i=0 \sim V} / (\sum t_i)_{i=0 \sim 255} \quad \cdots (4)$$

上記式 (4) において、 $(\sum t_i)_{i=0 \sim V}$ は、 $i = 0 \sim i = V$ までのパルス周期の時間の総和を示し、 $(\sum t_i)_{i=0 \sim 255}$ は $i = 0 \sim i = 255$ までのパルス周期の時間の総和を示している。この式 (4) を満たす PWM クロック (PCLK) を変調信号発生部 6 に供給することによって輝度変換を実現できる。

【0032】

本実施の形態 1 では、この PWM クロック (PCLK) の発生回路を、図 4 に示す構成で実現した。図 4 において、カウンタ 202 は n クロック (n PCLK) をカウントして ROM 203 のアドレス信号として 12 ビットのカウンタ値を出力する。このアドレスにより読み出された ROM 203 の出力はラッチ 204 にラッチされ、PWM クロック (PCLK) として出力される。

【0033】

ここで ROM 203 に記憶されるデータは、式 (4) を満たすように定めた。即ち、式 (4) を $V = 0$ から逐次計算し、 $f(V)$ に近くなるようにパルス周期を t_i を決めた。

【0034】

図 5 は、BTA, SMPTE 1125/60 スタジオ規格から計算して求めたパルス周期 t_i を決める ROM 203 のデータ例を示している。図 5 において、データ出力が“1” (ロジックで“H”レベル) であるアドレスだけが示されている。即ち、図 5 に示されていないアドレスのデータは出力が“0” (ロジック

で“L”レベル)である。

【0035】

PWMクロック発生器5のカウンタ202は、CLRパルスにより、その計数値がリセットされ、nPCCLKに同期して“0”から順次アップカウントする。そして、その出力がROM203のアドレスとなる。こうしてROM203から読み出された1ビットデータは、ラッチ204によりグリッチが取り除かれ、図6に示したPWMクロック(PCCLK)として出力される。こうして前述した変調信号発生部6は、このPWMクロック(PCCLK)とシフトレジスタ4からのデジタル値とからパルス幅を決定する。

【0036】

この実施の形態1では、nクロック(nPCCLK)を以下のように決めた。即ち、NTSC信号を240本の走査ラインのマトリクス型の表示パネル1で表示させるために、インターレースされている有効走査の485本の内、480本をフィールド毎にマトリクス型の表示パネル1に重ね書きして駆動した。即ち、表示パネル1をフレーム周波数60Hz、走査ライン240本の画像信号により駆動した。この場合、1走査ラインの表示に要する時間は、およそ63.5 μ 秒であり、その時間内の56.5 μ 秒を駆動パルス(X1~480)の最大時間と決めた。nクロック(nPCCLK)は、このとき約27.5n秒の周期、即ち、約36MHzを選んだ。

【0037】

本実施の形態1の変調信号発生部6がこのPWMクロック(PCCLK)から決定するパルス幅(パルス幅と発光輝度がほぼ比例しているので発光輝度と考えてもよい)と、入力デジタルデータの特性グラフ図を図7に示す。図7には、BTA, SMPTE 1125/60スタジオ規格のガンマ変換特性(以降、理想値と呼ぶ)も記している。図7のグラフ図では、実施の形態1の特性と、理想値の特性の差が小さく見にくいので、図8に、ガンマ変換した場合の理想値と実施の形態1における輝度変換の誤差のグラフ図を示した。

【0038】

この結果、マトリクス型の表示パネル1において、階調の再現性を良好にして

画像表示できた。特に従来例で問題となっていた暗い画像の場合の階調性（輝度分解能）が十分とれた。

【0039】

〔実施の形態2〕

次に本発明の実施の形態2について以下に説明する。この実施の形態2と前述の実施の形態1とを比較すると、PWMクロック発生器5が異なるだけで他の構成要素については同じであるので、それらの説明を省略する。

【0040】

図9は、本発明の実施の形態2のPWMクロック発生器5の構成を示すブロック図である。

【0041】

図9において、210-0, 210-1, … 210-2047, 210-2048のそれぞれはD型フリップフロップ、211はセクタであり、212は、予め所望のデータが書き込まれている、例えばマスクROM等のメモリである。

【0042】

図9において、PWMクロック（PCLK）は以下の様にして発生される。

【0043】

初めに、不図示のロード信号により、各々のセクタ211は接点b側に切り替えられ、マスクROM等のメモリ212からのデータを、D型フリップフロップ210-0, 210-1, … 210-2047, 210-2048にロードする。こうして各フリップフロップに1ビットデータをロードした後、各セクタ211は接点a側に切り替えられ、nクロック（nPCLK）により、順次、D型フリップフロップ210-0からのデータ、次にD型フリップフロップ210-1からのデータ、…以下同様にD型フリップフロップ210-2047からのデータ、最後にD型フリップフロップ210-02048からのデータが、PWMクロック（PCLK）として出力される。尚、ここでマスクROM等のメモリ211に記憶されているデータは、前述した図5に示すデータと同一である。マスクROM等のメモリ211のアドレスは、この場合、D型フリップフロップ210-0, 210-1, … 210-2047, 210-2048に対応して「0」から「2048」までである。こうして出力

されるPWMクロック（PCLK）は、前述の実施の形態1と全く同じであるので、前述の実施の形態1と同様な輝度変換特性が得られた。

【0044】

以上説明したように本実施の形態2によれば、前述の実施の形態1と同様に、良好な階調性で画像表示できた。特に従来例で問題となっていた暗い画像における階調性が十分とれた。

【0045】

また前述の実施の形態1に比べてカウンタ202が省略できるので、小規模のハードウェア構成で輝度変換を実現できた。特に、カウンタ202やカウンタ202内部の不図示のアドレスデコーダ等が必要のない回路構成であるので、IC化に適している。

【0046】

〔実施の形態3〕

次に本発明の実施の形態3について以下に詳細を説明する。この実施の形態3と前述の実施の形態1とではPWMクロック発生器5の構成が異なるだけで他の構成要素については同じであるのでそれらの説明を省略する。

【0047】

図10は、本実施の形態3におけるPWMクロック発生器5の構成を示すブロック図である。

【0048】

図10において、220はカウンタ、221は1/2分周器、222は1/4分周器、223、224は比較器、225はセクタ制御部、226はセクタである。

【0049】

以下、動作を説明する。初めに、不図示のCLR信号により、カウンタ220がリセットされる。次にnクロック（nPCLK）により、カウンタ220は順次アップカウントを行なう。比較器223、224はそれぞれ不図示の設定値とカウンタ220の出力値とを比較し、その大小関係を出力する。セクタ制御部225は、比較器223、224の出力信号を入力し、セクタ226の切り換

えを制御をする。一方、1/2分周器221、1/4分周器222は、それぞれnクロック(nPCLK)を分周する。セレクタ226は、セレクタ制御部225の出力に応じて、nクロック(nPCLK)、1/2分周器221或は1/4分周器222の出力を選択して出力する。この出力信号がPWMクロック(PCLK)となる。図11は、この実施の形態3におけるカウンタ220の出力値とセレクタ226が選択する分周比(対応する分周器221、222の出力値)との関係を示す図である。

【0050】

即ち、比較器223、224はそれぞれ所定値“64”、“192”(10進数)とカウンタ220の計数値とを比較し、カウンタ220の出力値が“64”未満ならセレクタ226は接点aを選択して分周比1/1の出力をPWMクロック(PCLK)として出力する。またカウンタ220の計数値が“64”以上で、かつ“192”未満であるならセレクタ226は接点bを選択して分周比1/2の出力をPWMクロック(PCLK)として出力する。更に、カウンタ220の計数値が“192”以上であるならセレクタ226は接点cを選択して分周比1/4の出力をPWMクロック(PCLK)として出力する。

【0051】

実際のnクロック(nPCLK)は以下のようにして定めた。前述の実施の形態1と同様に、NTSC信号を240本の走査ラインのマトリクス型の表示パネル1で表示させるために、インターレースされている有効走査線485本のうち480本をフィールド毎にマトリクス型の表示パネル1に重ね書きして駆動した。即ち、表示パネル1をフレーム周波数60Hz、走査ライン240本の画像信号により駆動した。この場合、1走査ラインの表示に要する時間は、約63.5μ秒であり、その時間内の56.5μ秒を駆動パルス(X1~X480)の最大時間と決めた。nクロック(nPCLK)は、最大704個は必要であるから、約80μ秒の周期、即ち、約12.5MHzを選んだ。

【0052】

この実施の形態3では、前述の実施の形態1と同様に、変調信号発生部6がPWMクロック(PCLK)と入力デジタルデータとに基づいて決定されるパル

ス幅（パルス幅と発光輝度がほぼ比例しているので発光輝度と考えてもよい）の
パルス幅変調信号を出力する。この出力信号の特性グラフ図を図 12 に示す。

【0053】

図 12 は、BTA, SMPTE 1125/60 スタジオ規格のガンマ変換特性（理想値）のグラフ図を記した。この図 12 のグラフ図を見てもわかるように、
本実施の形態 3 におけるパルス幅変調信号の特性は、理想値の特性との差がある
程度生じているが、非常に少ないハードウェア量で輝度変換を行うことができる。
その結果、極めて小さなハードウェアの規模で輝度変換を行ってマトリクス型
の表示パネル 1 に表示できる。また特に従来例で問題となっていた暗い画像の場
合の階調性（輝度分解能）も、ある程度良好に再生することができた。

【0054】

この実施の形態 3 によれば、前述の実施の形態に比べて輝度変換特性はあまり
良好ではないが、非常に規模の小さいハードウェアにより輝度変換が行えるので
、コストが抑えられた機器には有効である。また ROM 等が必要ない回路構成で
あるので、IC 化にも適している。

【0055】

〔実施の形態 4〕

次に本発明の実施の形態 4 について説明する。この実施の形態 4 と前述の実施
の形態 3 との違いは、PWM クロック発生器 5 における分周器 221, 222 等
の数、比較器 223, 224 等の数が異なるだけであり、他の構成要素については
同じであるので、それらの説明を省略する。

【0056】

具体的には、図 13 に示す本実施の形態 4 のカウンタ値と分周比の関係におい
ては、比較器は 6 個設けられており、それぞれ所定値 “48”, “112”, “
208”, “368”, “528”, “752”（10 進数）とカウンタ 220
の計数値とを比較し、その比較結果に応じて各分周器の出力を選択する。即ち、
カウンタ 220 の出力が “48” 未満であれば分周比 1/1 の出力を PWM クロ
ック（PCLK）として選ぶ。カウンタ 220 の計数値が “48” 以上であり、
かつ “112” 未満であるなら分周比 1/2 の出力を PWM クロック（PCLK

）として選ぶ。またカウンタ220の計数値が“112”以上であり、かつ“208”未満であるなら分周比1/3の出力をPWMクロック（PCLK）として選ぶ。またカウンタ220の計数値が“208”以上であり、かつ“368”未満であるなら分周比1/4の出力をPWMクロック（PCLK）として選ぶ。カウンタ220の計数値が“368以上”であり、かつ“528”未満であるなら分周比1/5の出力をPWMクロック（PCLK）として選ぶ。またカウンタ220の計数値が“528”以上であり、かつ“752”未満であるなら分周比1/6の出力をPWMクロック（PCLK）として選び、更にカウンタ220の計数値が“752”以上であり、かつ“1030”未満であるなら分周比1/8の出力をPWMクロック（PCLK）として選ぶように動作する。

【0057】

ここでnクロック（nPCLK）は、以下のように決めた。前述の実施の形態1同様に、NTSC信号を240本の走査ラインマトリクス型の表示パネル1で表示させるために、インターレースされている有効走査線の485本の内、480本をフィールド毎にマトリクス型の表示パネル1に重ね書きし駆動した。即ち、画像表示パネル1をフレーム周波数60Hz、走査ライン240本の画像信号として駆動した。この場合、1走査ラインの表示に要する時間は、およそ63.6μ秒であり、その時間内の56.5μ秒を駆動パルス（X1～X480）の最大時間と決めた。nクロック（nPCLK）は最大1030個は必要であるから、約55μ秒の周期、即ち、約18MHzを選んだ。

【0058】

こうして実施の形態1と同様の変調信号発生部6により、このPWMクロック（PCLK）から決定されるパルス幅（パルス幅と発光輝度がほぼ比例しているので発光輝度と考えてもよい）と、入力デジタルデータの特性グラフを図14に示す。

【0059】

図14は、BTA、SMPTE1125/60スタジオ規格のガンマ変換特性（以降理想値と呼ぶ）のグラフ図も記した。図14のグラフ図では、実施の形態4の特性と理想値の特性の差が小さく見にくいので、図15に、ガンマ変換した

場合の理想値と、本実施の形態 4 における輝度変換の誤差のグラフ図を示した。これら図 14、図 15 のグラフ図を見てもわかるように、本実施の形態 4 の特性は理想値の特性との差が若干あるが、通常の TV 画面での主観評価では劣化の検出ができなかった。このように TV 等の画像表示に際して、小規模のハードウェア構成で良好な輝度変換が行なえた。その結果、マトリクス型の表示パネル 1 において、階調再現性の再現性のよい輝度変換が実現できた。特に従来例問題となっていた暗い画像の場合の階調性（輝度分解能）もある程度とれた。

【0060】

このように本実施の形態 4 によれば、前述の実施の形態 1、2 に比べて輝度変換特性は若干悪いが、小規模のハードウェア構成で良好な輝度変換を行うことができた。これは、コストが抑えられた TV 等の機器には有効である。また ROM 等が必要ない回路構成であるので、IC 化にも適している。

【0061】

〔実施の形態 5〕

次に本発明の実施の形態 5 について以下に説明する。この実施の形態 5 と前述の実施の形態 1 との違いは、PWM クロック発生器 5 が異なるだけであり、他の構成要素については同じであるので説明を省略する。

【0062】

図 16 は、本実施の形態 5 における PWM クロック発生器 5 の構成を示すブロック図であり、54 は電圧制御発振器（VCO）である。

【0063】

図 16 において、PWM クロック発生器 5 から出力される PWM クロック（PCLK）は、制御電圧 E_i に比例した周波数の信号を出力する発振器である。即ち、PWM クロック（PCLK）である VCO 54 の発信周波数 F_i は（ここで添え字 i は、 i 番目のクロックを意味する）

$$E_i \propto F_i \quad \dots (5)$$

であり、その時の PWM クロック（PCLK）である VCO 54 の出力信号の周期 t_i は、

$$F_i = 1 / t_i \quad \dots (6)$$

である。

【0064】

ここで、式(4)の両辺を微分すれば、

$$f(V)' \propto t_i \quad \dots (7)$$

である('は微分を意味する)。

【0065】

従って、式(5)と式(6)、(7)とから、制御電圧 E_i は、

$$E_i \propto 1 / (f(V)') \quad \dots (8)$$

である。即ち、所望の輝度変換テーブルの微分値の逆数に比例した電圧を制御電圧 E_i にする。

【0066】

ここでは実施の形態1同様に、NTSC信号を240本の走査ラインのマトリクス型の表示パネル1で表示させるために、インターレースされている有効走査線の485本の内、480本をフィールド毎にマトリクス型の表示パネル1に重ね書きするように駆動した。即ち、画像表示パネル1をフレーム周波数60Hz、走査ライン240本の画像信号として駆動した。この場合、1走査ラインの表示に要する時間は、約63.6 μ 秒であり、その時間内の56.5 μ 秒をPWMパルスの最大時間と決めた。そして式(8)の条件で、制御電圧 E_i を決めた。その結果、実際のPWMクロック(PCLK)であるVCO54の周期 t_i は、約55n秒の周期(約18MHz)から約440n秒の周期(約2.25MHz)に変化する。

【0067】

その結果、階調の再現性を良くしてマトリクス型の表示パネル1に画像を表示できた。特に従来例で問題となっていた暗い画像の場合の階調性(輝度分解能)が十分とれた。

【0068】

<変調信号発生部6の他の実現法>

本実施の形態では、変調信号発生部6は、図2に示したようにダウンカウンタ201を使用した例をあげたが、図17に示したように、アップカウンタ240

とコンパレータ 242 とレジスタ 241 ろで構成しても良い。

【0069】

図 18 は、図 17 の構成における変調信号発生部 6 の動作タイミングを示すタイミング図である。

【0070】

図 17 において、レジスタ 241 は、シフトレジスタ 4 から出力されるデジタルデータ XD_i ($i = 1 \sim 480$) をロード信号 (Ld) でロードする。一方アップカウンタ 240 は、PWM クロック (PCLK) を「0」からカウントアップする。そして「レジスタ 241 にロードされたデータ (設定値)」と「アップカウンタ 240 の計数值」とを比較器 242 により比較し、「そのロードされたデータ (設定値)」と「アップカウンタ 240 のカウント値」が等しくなるまで信号 PWMout を出力する。この構成によっても「PWM クロック (PCLK) のカウント数」が「設定値」になるまでの時間で決まるパルス幅の信号を出力することが可能である。当然、この構成は、前述した実施の形態 1 ～ 5 にも適用できる。

【0071】

<コントラスト変換テーブルを用いた例>

本実施の形態では、説明の便宜上、ガンマ変換テーブルの例を示したが、コントラスト変換テーブルによっても同様に実現可能である。

【0072】

また上述の式 (1) において、所望の輝度変換式を当てはめ、同様な手順で PWM クロック (PCLK) を作ることができるのは言うまでもない。

【0073】

[その他の実施の形態]

また、本発明の実施の形態では、冷陰極型の電子放出素子による構成を説明したが、むろんそれ以外の電子放出素子に対しても適用できる。例えば、この冷陰極型電子源は、表面伝導型放出素子或いは、FE 型放出素子或いは、MIM 型放出素子で構成されていても良い。

【0074】

〔マルチ電子源の説明〕

本発明の実施の形態に係る画像表示装置は基本的には、薄型の真空容器内に、基板上に多数の電子源例えば冷陰極素子を配列してなるマルチ電子源と、電子の照射により画像を形成する画像形成部材とを対向して備えている。

〔0075〕

これら冷陰極素子は、例えばフォトリソグラフィー・エッチングのような製造技術を用いれば基板上に精密に位置決めして形成できるため、微小な間隔で多数個を配列することが可能である。しかも、従来からCRT等で用いられてきた熱陰極と比較すると、陰極自身や周辺部が比較的低温な状態で駆動できるため、より微細な配列ピッチのマルチ電子源を容易に実現できる。

〔0076〕

本発明の実施の形態の画像表示装置は、上述した冷陰極素子をマルチ電子源として用いた画像形成装置に関するものである。また、冷陰極素子の中でもとりわけ好ましいのは、表面伝導型放出素子（SCE）である。即ち、冷陰極素子のうち、MIM型素子は絶縁層や上部電極の厚さを比較的精密に制御する必要があり、またFE型素子は針状の電子放出部の先端形状を精密に制御する必要がある。そのため、これらの素子は比較的製造コストが高くなったり、製造プロセス上の制限から大面積のものを作製するのが困難となる場合があった。これに対して、SCEは構造が単純で製造が簡単であり、大面積のものも容易に作製できる。近年、特に大画面で安価な表示装置が求められる状況においては、とりわけ好適な冷陰極素子であるといえる。

〔0077〕

（表示パネルの構成と製造法）

次に、本実施の形態に適用した画像表示装置の表示パネルの構成と製造法について、具体的な例を示して説明する。

〔0078〕

図19は、実施の形態に用いた表示パネル1の斜視図であり、その内部構造を示すために表示パネル1の一部を切り欠いて示している。

〔0079〕

図中、1005はリアプレート、1006は側壁、1007はフェースプレートであり、1005～1007により表示パネルの内部を真空に維持するための気密容器を形成している。気密容器を組み立てるにあたっては、各部材の接合部に十分な強度と気密性を保持させるため封着する必要があるが、例えばフリットガラスを接合部に塗布し、大気中あるいは窒素雰囲気中で、摂氏400～500度で10分以上焼成することにより封着を達成した。気密容器内部を真空に排気する方法については後述する。

【0080】

リアプレート1005には、基板1001が固定されているが、該基板には冷陰極素子1002が $N \times M$ 個形成されている。 (N, M) は2以上の正の整数であり、目的とする表示画素数に応じて適宜設定される。例えば、高品位テレビジョンの表示を目的とした表示装置においては、 $N=3000$ 、 $M=1000$ 以上の数を設定することが望ましい。本実施の形態においては、 $N=3072$ 、 $M=1024$ とした)。これら $N \times M$ 個の冷陰極素子は、 M 本の行方向配線1003と N 本の列方向配線1004により単純マトリクス配線されている。前記、1001～1004によって構成される部分をマルチ電子源と呼ぶ。なお、このマルチ電子源の製造方法や構造については、後で詳しく述べる。

【0081】

本実施の形態においては、気密容器のリアプレート1005にマルチ電子源の基板1001を固定する構成としたが、マルチ電子源の基板1001が十分な強度を有するものである場合には、気密容器のリアプレートとしてマルチ電子源の基板1001自体を用いてもよい。

【0082】

また、フェースプレート1007の下面には、蛍光膜1008が形成されている。本実施の形態はカラー表示装置であるため、蛍光膜1008の部分にはCRTの分野で用いられる赤、緑、青、の3原色の蛍光体が塗り分けられている。各色の蛍光体は、例えば図20(A)に示すようにストライプ状に塗り分けられ、蛍光体のストライプの間には黒色の導電体1010が設けてある。黒色の導電体1010を設ける目的は、電子ビームの照射位置に多少のずれがあっても表示色

にずれが生じないようにするためや、外光の反射を防止して表示コントラストの低下を防ぐため、電子による蛍光膜のチャージアップを防止するためなどである。黒色の導電体 1010 には、黒鉛を主成分として用いたが、上記の目的に適するものであればこれ以外の材料を用いても良い。

【0083】

また、3 原色の蛍光体の塗り分け方は図 20 (A) に示したストライプ状の配列に限られるものではなく、例えば図 20 (B) に示すようなデルタ状配列や、それ以外の配列であってもよい。なお、モノクロームの表示パネルを作成する場合には、単色の蛍光体材料を蛍光膜 1008 に用いればよく、また黒色導電材料は必ずしも用いなくともよい。

【0084】

また、蛍光膜 1008 のリアプレート側の面には、CRT の分野では公知のメタルバック 1009 を設けてある。メタルバック 1009 を設けた目的は、蛍光膜 1008 が発する光の一部を鏡面反射して光利用率を向上させるためや、負イオンの衝突から蛍光膜 1008 を保護するためや、電子の加速電圧を印加するための電極として作用させるためや、蛍光膜 1008 を励起した電子の導電路として作用させるためなどである。メタルバック 1009 は、蛍光膜 1008 をフェースプレート基板 1007 上に形成した後、蛍光膜表面を平滑化処理し、その上に Al を真空蒸着する方法により形成した。なお、蛍光膜 1008 に低電圧用の蛍光体材料を用いた場合には、メタルバック 1009 は用いない。

【0085】

また、本実施の形態では用いなかったが、加速電圧の印加用や蛍光膜の導電性向上を目的として、フェースプレート基板 1007 と蛍光膜 1008 との間に、例えば ITO を材料とする透明電極を設けてもよい。

【0086】

また、Dx1~Dxm および Dy1~DyN および Hv は、この表示パネル 1 と不図示の電気回路とを電氣的に接続するために設けた気密構造の電気接続用端子である。Dx1~Dxm はマルチ電子源の行方向配線 1003 と、Dy1~DyN はマルチ電子源の列方向配線 1004 と、Hv はフェースプレートのメタルバック 1009 と

それぞれ電氣的に接続している。

【0087】

また、気密容器内部を真空に排気するには、気密容器を組み立てた後、不図示の排気管と真空ポンプとを接続し、気密容器内を10のマイナス7乗[torr]程度の真空度まで排気する。その後、排気管を封止するが、気密容器内の真空度を維持するために、封止の直前あるいは封止後に気密容器内の所定の位置にゲッター膜（不図示）を形成する。ゲッター膜とは、例えばBaを主成分とするゲッター材料をヒーターもしくは高周波加熱により加熱し蒸着して形成した膜であり、該ゲッター膜の吸着作用により気密容器内は 1×10 のマイナス5乗ないしは 1×10 のマイナス7乗[torr]の真空度に維持される。

【0088】

以上、本発明の実施の形態の表示パネルの基本構成と製法を説明した。

【0089】

次に、本実施の形態の表示パネル1に用いたマルチ電子源の製造方法について説明する。この画像表示装置に用いるマルチ電子源は、冷陰極素子を単純マトリクス配線した電子源であれば、冷陰極素子の材料や形状あるいは製法に制限はない。従って、例えば表面伝導型放出素子やFE型、あるいはMIM型などの冷陰極素子を用いることができる。ただし、表示画面が大きくてしかも安価な表示装置が求められる状況のもとでは、これらの冷陰極素子の中でも、表面伝導型放出素子が特に好ましい。即ち、FE型ではエミッタコーンとゲート電極の相対位置や形状が電子放出特性を大きく左右するため、極めて高精度の製造技術を必要とするが、これは大面積化や製造コストの低減を達成するには不利な要因となる。また、MIM型では、絶縁層と上電極の膜厚を薄くてしかも均一にする必要があるが、これも大面積化や製造コストの低減を達成するには不利な要因となる。その点、表面伝導型放出素子は、比較的製造方法が単純なため、大面積化や製造コストの低減が容易である。

【0090】

また、本願発明者らは、表面伝導型放出素子の中でも、電子放出部もしくはその周辺部を微粒子膜から形成したものがとりわけ電子放出特性に優れ、しかも製

造が容易に行えることを見い出している。従って、高輝度で大画面の画像表示装置のマルチ電子源に用いるには、最も好適であると言える。そこで、この実施の形態の表示パネルにおいては、電子放出部もしくはその周辺部を微粒子膜から形成した表面伝導型放出素子を用いた。そこで、まず好適な表面伝導型放出素子について基本的な構成と製法および特性を説明し、その後で多数の素子を単純マトリクス配線したマルチ電子源の構造について述べる。

【0091】

(表面伝導型放出素子の好適な素子構成と製法)

電子放出部もしくはその周辺部を微粒子膜から形成する表面伝導型放出素子の代表的な構成には、平面型と垂直型の2種類があげられる。

【0092】

(平面型の表面伝導型放出素子)

まず最初に、平面型の表面伝導型放出素子の素子構成と製法について説明する。図21に示すのは、平面型の表面伝導型放出素子の構成を説明するための平面図(a)および断面図(b)である。

【0093】

図中、1101は基板、1102と1103は素子電極、1104は導電性薄膜、1105は通電フォーミング処理により形成した電子放出部、1113は通電活性化処理により形成した薄膜である。基板1101としては、例えば、石英ガラスや青板ガラスをはじめとする各種ガラス基板や、アルミナをはじめとする各種セラミクス基板、あるいは上述の各種基板上に、例えばSiO₂を材料とする絶縁層を積層した基板、などを用いることができる。

【0094】

また、基板1101上に基板面と平行に対向して設けられた素子電極1102と1103は、導電性を有する材料によって形成されている。例えば、Ni, Cr, Au, Mo, W, Pt, Ti, Cu, Pd, Ag等をはじめとする金属、あるいはこれらの金属の合金、あるいはIn₂O₃-SnO₂をはじめとする金属酸化物、ポリシリコンなどの半導体、などの中から適宜材料を選択して用いればよい。電極を形成するには、例えば真空蒸着などの製膜技術とフォトリソグラフィ

一、エッチングなどのパターンニング技術を組み合わせて用いれば容易に形成できるが、それ以外の方法（例えば印刷技術）を用いて形成してもさしつかえない。

【0095】

素子電極 1102 と 1103 の形状は、当該電子放出素子の応用目的に合わせて適宜設計される。一般的には、電極間隔 L は通常は数百オングストロームから数百マイクロメータの範囲から適当な数値を選んで設計されるが、なかでも表示装置に応用するために好ましいのは数マイクロメータより数十マイクロメータの範囲である。また、素子電極の厚さ d については、通常は数百オングストロームから数マイクロメータの範囲から適当な数値が選ばれる。

【0096】

また、導電性薄膜 1104 の部分には、微粒子膜を用いる。ここで述べた微粒子膜とは、構成要素として多数の微粒子を含んだ膜（島状の集合体も含む）のことをさす。微粒子膜を微視的に調べれば、通常は、個々の微粒子が離間して配置された構造か、あるいは微粒子が互いに隣接した構造か、あるいは微粒子が互いに重なり合った構造が観測される。

【0097】

微粒子膜に用いた微粒子の粒径は、数オングストロームから数千オングストロームの範囲に含まれるものであるが、なかでも好ましいのは 10 オングストロームから 200 オングストロームの範囲のものである。また、微粒子膜の膜厚は、以下に述べるような諸条件を考慮して適宜設定される。即ち、素子電極 1102 あるいは 1103 と電氣的に良好に接続するのに必要な条件、後述する通電フォーミングを良好に行うのに必要な条件、微粒子膜自身の電気抵抗を後述する適宜の値にするために必要な条件、などである。

【0098】

具体的には、数オングストロームから数千オングストロームの範囲のなかで設定するが、なかでも好ましいのは 10 オングストロームから 500 オングストロームの間である。

【0099】

また、微粒子膜を形成するのに用いられうる材料としては、例えば、Pd, P

t, Ru, Ag, Au, Ti, In, Cu, Cr, Fe, Zn, Sn, Ta, W, Pb, などをはじめとする金属や、PdO, SnO₂, In₂O₃, PbO, Sb₂O₃などをはじめとする酸化物や、HfB₂, ZrB₂, LaB₆, CeB₆, YB₄, GdB₄などをはじめとする硼化物や、TiC, ZrC, HfC, TaC, SiC, WC, などをはじめとする炭化物や、TiN, ZrN, HfNなどをはじめとする窒化物や、Si, Geなどをはじめとする半導体や、カーボン、などが挙げられ、これらの中から適宜選択される。

【0100】

以上述べたように、導電性薄膜 1104 を微粒子膜で形成したが、そのシート抵抗値については、10 の 3 乗から 10 の 7 乗 [オーム/sq] の範囲に含まれるよう設定した。

【0101】

なお、導電性薄膜 1104 と素子電極 1102 および 1103 とは、電氣的に良好に接続されるのが望ましいため、互いの一部が重なりあうような構造をとっている。その重なり方は、図 21 の例においては、下から、基板、素子電極、導電性薄膜の順序で積層したが、場合によっては下から基板、導電性薄膜、素子電極、の順序で積層してもさしつかえない。

【0102】

また、電子放出部 1105 は、導電性薄膜 1104 の一部に形成された亀裂状の部分であり、電氣的には周囲の導電性薄膜よりも高抵抗な性質を有している。この亀裂は、導電性薄膜 1104 に対して、後述する通電フォーミングの処理を行うことにより形成される。この亀裂内には、数オングストロームから数百オングストロームの粒径の微粒子を配置する場合がある。尚、実際の電子放出部の位置や形状を精密かつ正確に図示するのは困難なため、図 21 においては模式的に示した。

【0103】

また、薄膜 1113 は、炭素もしくは炭素化合物よりなる薄膜で、電子放出部 1105 およびその近傍を被覆している。薄膜 1113 は、通電フォーミング処理後に、後述する通電活性化の処理を行うことにより形成する。

【0104】

薄膜 1113 は、単結晶グラファイト、多結晶グラファイト、非晶質カーボン、のいずれかか、もしくはその混合物であり、膜厚は 500 [オングストローム] 以下とするが、300 [オングストローム] 以下とするのがさらに好ましい。なお、実際の薄膜 1113 の位置や形状を精密に図示するのは困難なため、図 21 においては模式的に示した。また、平面図 (a) においては、薄膜 1113 の一部を除去した素子を図示した。

【0105】

以上、好ましい素子の基本構成を述べたが、実施の形態においては以下のような素子を用いた。

【0106】

即ち、基板 1101 には青板ガラスを用い、素子電極 1102 と 1103 には Ni 薄膜を用いた。素子電極の厚さ d は 1000 [オングストローム]、電極間隔 L は 2 [マイクロメータ] とした。微粒子膜の主要材料として Pd もしくは PdO を用い、微粒子膜の厚さは約 100 [オングストローム]、幅 W は 100 [マイクロメータ] とした。

【0107】

次に、好適な平面型の表面伝導型放出素子の製造方法について説明する。図 22 の (a) ~ (d) は、表面伝導型放出素子の製造工程を説明するための断面図で、各部材の表記は図 21 と同一である。

【0108】

(1) まず、図 22 (a) に示すように、基板 1101 上に素子電極 1102 及び 1103 を形成する。これら素子電極 1102, 1103 を形成するにあたっては、予め基板 1101 を洗剤、純水、有機溶剤を用いて十分に洗浄後、素子電極の材料を堆積させる。この材料を堆積する方法としては、例えば、蒸着法やスパッタ法などの真空成膜技術を用いればよい。その後、堆積した電極材料を、フォトリソグラフィ・エッチング技術を用いてパターニングし、(a) に示した一対の素子電極 (1102 と 1103) を形成する。

【0109】

(2) 次に、同図 (b) に示すように、導電性薄膜 1104 を形成する。

【0110】

形成するにあたっては、まず前記 (a) の基板に有機金属溶液を塗布して乾燥し、加熱焼成処理して微粒子膜を成膜した後、フォトリソグラフィ・エッチングにより所定の形状にパターンニングする。ここで、有機金属溶液とは、導電性薄膜に用いる微粒子の材料を主要元素とする有機金属化合物の溶液である（具体的には、本実施の形態では主要元素として Pd を用いた。また、実施の形態では塗布方法として、ディッピング法を用いたが、それ以外の例えばスピナー法やスプレー法を用いてもよい）。

【0111】

また、微粒子膜で作られる導電性薄膜の成膜方法としては、本実施の形態で用いた有機金属溶液の塗布による方法以外の、例えば真空蒸着法やスパッタ法、あるいは化学的気相堆積法などを用いる場合もある。

【0112】

(3) 次に、同図 (c) に示すように、フォーミング用電源 1110 から素子電極 1102 と 1103 の間に適宜の電圧を印加し、通電フォーミング処理を行って、電子放出部 1105 を形成する。

【0113】

この通電フォーミング処理とは、微粒子膜で作られた導電性薄膜 1104 に通電を行って、その一部を適宜に破壊、変形、もしくは変質せしめ、電子放出を行うのに好適な構造に変化させる処理のことである。微粒子膜で作られた導電性薄膜のうち電子放出を行うのに好適な構造に変化した部分（即ち電子放出部 1105）においては、薄膜に適当な亀裂が形成されている。なお、電子放出部 1105 が形成される前と比較すると、形成された後は素子電極 1102 と 1103 の間で計測される電気抵抗は大幅に増加する。

【0114】

通電方法をより詳しく説明するために、図 23 に、フォーミング用電源 1110 から印加する適宜の電圧波形の一例を示す。微粒子膜で作られた導電性薄膜をフォーミングする場合には、パルス状の電圧が好ましく、本実施の形態の場合に

は同図に示したようにパルス幅 T_1 の三角波パルスをパルス間隔 T_2 で連続的に印加した。その際には、三角波パルスの波高値 V_{pf} を、順次昇圧した。また、電子放出部 1105 の形成状況をモニタするためのモニタパルス P_m を適宜の間隔で三角波パルスの間に挿入し、その際に流れる電流を電流計 1111 で計測した。

【0115】

この実施の形態においては、例えば 10 のマイナス 5 乗 [torr] 程度の真空雰囲気下において、例えばパルス幅 T_1 を 1 [ミリ秒]、パルス間隔 T_2 を 10 [ミリ秒] とし、波高値 V_{pf} を 1 パルスごとに 0.1 [V] ずつ昇圧した。そして、三角波を 5 パルス印加するたびに 1 回の割りでモニタパルス P_m を挿入した。フォーミング処理に悪影響を及ぼすことがないように、モニタパルスの電圧 V_{pm} は 0.1 [V] に設定した。そして、素子電極 1102 と 1103 の間の電気抵抗が 1×10 の 6 乗 [オーム] になった段階、即ち、モニタパルス印加時に電流計 1111 で計測される電流が 1×10 のマイナス 7 乗 [A] 以下になった段階で、フォーミング処理にかかわる通電を終了した。

【0116】

なお、上記の方法は、本実施の形態の表面伝導型放出素子に関する好ましい方法であり、例えば微粒子膜の材料や膜厚、あるいは素子電極間隔 L など表面伝導型放出素子の設計を変更した場合には、それに応じて通電の条件を適宜変更するのが望ましい。

【0117】

(4) 次に、図 22 の (d) に示すように、活性化用電源 1112 から素子電極 1102 と 1103 の間に適宜の電圧を印加し、通電活性化処理を行って、電子放出特性の改善を行う。

【0118】

この通電活性化処理とは、前記通電フォーミング処理により形成された電子放出部 1105 に適宜の条件で通電を行って、その近傍に炭素もしくは炭素化合物を堆積せしめる処理のことである（図においては、炭素もしくは炭素化合物よりなる堆積物を部材 1113 として模式的に示した）。なお、通電活性化処理を行

うことにより、行う前と比較して、同じ印加電圧における放出電流を典型的には 100 倍以上に増加させることができる。

【0119】

具体的には、10 のマイナス 4 乗ないし 10 のマイナス 5 乗 [torr] の範囲内の真空雰囲気中で、電圧パルスを定期的に印加することにより、真空雰囲気中に存在する有機化合物を起源とする炭素もしくは炭素化合物を堆積させる。堆積物 1113 は、単結晶グラファイト、多結晶グラファイト、非晶質カーボン、のいずれかか、もしくはその混合物であり、膜厚は 500 [オングストローム] 以下、より好ましくは 300 [オングストローム] 以下である。

【0120】

この通電方法をより詳しく説明するために、図 24 (a) に、活性化用電源 112 から印加する適宜の電圧波形の一例を示す。本実施の形態においては、一定電圧の矩形波を定期的に印加して通電活性化処理を行ったが、具体的には、矩形波の電圧 V_{ac} は 14 [V]，パルス幅 T_3 は 1 [ミリ秒]，パルス間隔 T_4 は 10 [ミリ秒] とした。なお、上述の通電条件は、本実施の形態の表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

【0121】

図 21 (d) に示す 1114 は、この表面伝導型放出素子から放出される放出電流 I_e を捕捉するためのアノード電極で、直流高電圧電源 1115 および電流計 1116 が接続されている。(なお、基板 1101 を、表示パネルの中に組み込んでから活性化処理を行う場合には、表示パネルの蛍光面をアノード電極 1114 として用いる。) 活性化用電源 1112 から電圧を印加する間、電流計 1116 で放出電流 I_e を計測して通電活性化処理の進行状況をモニタし、活性化用電源 1112 の動作を制御する。電流計 1116 で計測された放出電流 I_e の一例を図 24 (b) に示すが、活性化電源 1112 からパルス電圧を印加しはじめると、時間の経過とともに放出電流 I_e は増加するが、やがて飽和してほとんど増加しなくなる。このように、放出電流 I_e がほぼ飽和した時点で活性化用電源 1112 からの電圧印加を停止し、通電活性化処理を終了する。

【0122】

なお、上述の通電条件は、本実施の形態の表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

【0123】

以上のようにして、図22(e)に示す平面型の表面伝導型放出素子を製造した。

【0124】

(垂直型の表面伝導型放出素子)

次に、電子放出部もしくはその周辺を微粒子膜から形成した表面伝導型放出素子のもうひとつの代表的な構成、即ち垂直型の表面伝導型放出素子の構成について説明する。

【0125】

図25は、垂直型の基本構成を説明するための模式的な断面図であり、図中の1201は基板、1202と1203は素子電極、1206は段差形成部材、1204は微粒子膜を用いた導電性薄膜、1205は通電フォーミング処理により形成した電子放出部、1213は通電活性化処理により形成した薄膜である。

【0126】

垂直型が先に説明した平面型と異なる点は、素子電極のうちの片方(1202)が段差形成部材1206上に設けられており、導電性薄膜1204が段差形成部材1206の側面を被覆している点にある。従って、前述の図21の平面型における素子電極間隔Lは、垂直型においては段差形成部材1206の段差高Lsとして設定される。なお、基板1201、素子電極1202および1203、微粒子膜を用いた導電性薄膜1204、については、前記平面型の説明中に列挙した材料を同様に用いることが可能である。また、段差形成部材1206には、例えばSiO₂のような電氣的に絶縁性の材料を用いる。

【0127】

次に、垂直型の表面伝導型放出素子の製法について説明する。図26(a)～(f)は、製造工程を説明するための断面図で、各部材の表記は図25と同一で

ある。

【0128】

(1) まず、図 26 (a) に示すように、基板 1201 上に素子電極 1203 を形成する。

【0129】

(2) 次に、同図 (b) に示すように、段差形成部材を形成するための絶縁層を積層する。絶縁層は、例えば SiO₂ をスパッタ法で積層すればよいが、例えば、真空蒸着法や印刷法などの他の成膜方法を用いてもよい。

【0130】

(3) 次に、同図 (c) に示すように、絶縁層の上に素子電極 1202 を形成する。

【0131】

(4) 次に、同図 (d) に示すように、絶縁層の一部を、例えばエッチング法を用いて除去し、素子電極 1203 を露出させる。

【0132】

(5) 次に、同図 (e) に示すように、微粒子膜を用いた導電性薄膜 1204 を形成する。形成するには、前記平面型の場合と同じく、例えば塗布法などの成膜技術を用いればよい。

【0133】

(6) 次に、前記平面型の場合と同じく、通電フォーミング処理を行い、電子放出部を形成する。(図 22 (c) を用いて説明した平面型の通電フォーミング処理と同様の処理を行えばよい。)

(7) 次に、前記平面型の場合と同じく、通電活性化処理を行い、電子放出部近傍に炭素もしくは炭素化合物を堆積させる。(図 22 (d) を用いて説明した平面型の通電活性化処理と同様の処理を行えばよい。)

以上のようにして、図 26 (f) に示す垂直型の表面伝導型放出素子を製造した。

【0134】

(表示装置に用いた表面伝導型放出素子の特性)

以上、平面型と垂直型の表面伝導型放出素子について素子構成と製法を説明したが、次に表示装置に用いた素子の特性について述べる。

【0135】

図27に、表示装置に用いた素子の、（放出電流 I_e ）対（素子印加電圧 V_f ）特性、および（素子電流 I_f ）対（素子印加電圧 V_f ）特性の典型的な例を示す。なお、放出電流 I_e は素子電流 I_f に比べて著しく小さく、同一尺度で図示するのが困難であるうえ、これらの特性は素子の大きさや形状等の設計パラメータを変更することにより変化するものであるため、2本のグラフは各々任意単位で図示した。

【0136】

本実施の形態の表示装置に用いた表面伝導型放出素子は、放出電流 I_e に関して以下に述べる3つの特性を有している。

【0137】

第1に、ある電圧（これを閾値電圧 V_{th} と呼ぶ）以上の大きさの電圧を素子に印加すると急激に放出電流 I_e が増加するが、一方、閾値電圧 V_{th} 未満の電圧では放出電流 I_e はほとんど検出されない。即ち、放出電流 I_e に関して、明確な閾値電圧 V_{th} を持った非線形素子である。

【0138】

第2に、放出電流 I_e は素子に印加する電圧 V_f に依存して変化するため、電圧 V_f で放出電流 I_e の大きさを制御できる。

【0139】

第3に、素子に印加する電圧 V_f に対して素子から放出される電流 I_e の応答速度が速いため、電圧 V_f を印加する時間の長さによって素子から放出される電子の電荷量を制御できる。

【0140】

以上のような特性を有するため、表面伝導型放出素子を表示装置に好適に用いることができた。例えば多数の素子を表示画面の画素に対応して設けた表示装置において、第1の特性を利用すれば、表示画面を順次走査して表示を行うことが可能である。即ち、駆動中の素子には所望の発光輝度に応じて閾値電圧 V_{th} 以上

の電圧を適宜印加し、非選択状態の素子には閾値電圧 V_{th} 未満の電圧を印加する。駆動する素子を順次切り替えてゆくことにより、表示画面を順次走査して表示を行うことが可能である。

【0141】

また、第2の特性か、又は第3の特性を利用することにより、発光輝度を制御することができるため、諧調表示を行うことが可能である。

【0142】

(多数素子を単純マトリクス配線したマルチ電子源の構造)

次に、上述の表面伝導型放出素子を基板上に配列して単純マトリクス配線したマルチ電子源の構造について述べる。

【0143】

図28に示すのは、図19の表示パネルに用いたマルチ電子源の平面図である。基板上には、図21で示したものと同様な表面伝導型放出素子が配列され、これらの素子は行方向配線電極1003と列方向配線電極1004により単純マトリクス状に配線されている。行方向配線電極1003と列方向配線電極1004の交差する部分には、電極間に絶縁層（不図示）が形成されており、電氣的な絶縁が保たれている。

【0144】

図28のA-A'に沿った断面を、図29に示す。

【0145】

なお、このような構造のマルチ電子源は、予め基板上に行方向配線電極1003、列方向配線電極1004、電極間絶縁層（不図示）、および表面伝導型放出素子の素子電極と導電性薄膜を形成した後、行方向配線電極1003および列方向配線電極1004を介して各素子に給電して通電フォーミング処理と通電活性化処理を行うことにより製造した。

【0146】

図30は、前記説明の表面伝導型放出素子を電子源として用いたディスプレイパネルに、例えばテレビジョン放送をはじめとする種々の画像情報源より提供される画像情報を表示できるように構成した多機能表示装置の一例を示すための図

である。

【0147】

図中、2100はディスプレイパネル、2101はディスプレイパネルの駆動回路、2102はディスプレイコントローラ、2103はマルチプレクサ、2104はデコーダ、2105は入出力インターフェース回路、2106はCPU、2107は画像生成回路、2108および2109および2110は画像メモリインターフェース回路、2111は画像入力インターフェース回路、2112および2113はTV信号受信回路、2114は入力部である。尚、本実施の形態の表示装置は、例えばテレビジョン信号のように映像情報と音声情報の両方を含む信号を受信する場合には、当然映像の表示と同時に音声を再生するものであるが、本発明の特徴と直接関係しない音声情報の受信、分離、再生、処理、記憶などに関する回路やスピーカなどについては説明を省略する。以下、画像信号の流れに沿って各部の機能を説明してゆく。

【0148】

まず、TV信号受信回路2113は、例えば電波や空間光通信などのような無線伝送系を用いて伝送されるTV画像信号を受信するための回路である。受信するTV信号の方式は特に限られるものではなく、例えば、NTSC方式、PAL方式、SECAM方式などの諸方式でもよい。また、これらよりさらに多数の走査線よりなるTV信号（例えばMUSE方式をはじめとするいわゆる高品位TV）は、大面積化や大画素数化に適した前記ディスプレイパネルの利点を生かすのに好適な信号源である。TV信号受信回路2113で受信されたTV信号は、デコーダ2104に出力される。

【0149】

TV信号受信回路2112は、例えば同軸ケーブルや光ファイバーなどのような有線伝送系を用いて伝送されるTV画像信号を受信するための回路である。前記TV信号受信回路2113と同様に、受信するTV信号の方式は特に限られるものではなく、また本回路で受信されたTV信号もデコーダ2104に出力される。

【0150】

画像入力インターフェース回路 2111 は、例えば TV カメラや画像読み取りスキャナなどの画像入力装置から供給される画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ 2104 に出力される。

【0151】

画像メモリインターフェース回路 2110 は、ビデオテープレコーダ（以下 VTR と略す）に記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ 2104 に出力される。

【0152】

画像メモリインターフェース回路 2109 は、ビデオディスクに記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ 2104 に出力される。画像メモリインターフェース回路 2108 は、いわゆる静止画ディスクのように、静止画像データを記憶している装置から画像信号を取り込むための回路で、取り込まれた静止画像データはデコーダ 2104 に出力される。

【0153】

入出力インターフェース回路 2105 は、本表示装置と、外部のコンピュータもしくはコンピュータネットワークもしくはプリンタなどの出力装置とを接続するための回路である。画像データや文字データ・図形情報の入出力を行うのはもちろんのこと、場合によっては本表示装置の備える CPU 2106 と外部との間で制御信号や数値データの入出力などを行うことも可能である。

【0154】

画像生成回路 2107 は、前記入出力インターフェース回路 2105 を介して外部から入力される画像データや文字・図形情報や、あるいは CPU 2106 より出力される画像データや文字・図形情報に基づき表示用画像データを生成するための回路である。本回路の内部には、例えば画像データや文字・図形情報を蓄積するための書き換え可能メモリや、文字コードに対応する画像パターンが記憶されている読みだし専用メモリや、画像処理を行うためのプロセッサなどをはじめとして画像の生成に必要な回路が組み込まれている。本回路により生成された表示用画像データは、デコーダ 2104 に出力されるが、場合によっては前記入出力インターフェース回路 2105 を介して外部のコンピュータネットワークや

プリンタ入出力することも可能である。

【0155】

CPU2106は、主として本表示装置の動作制御や、表示画像の生成や選択や編集に関わる作業を行う。例えば、マルチプレクサ2103に制御信号を出力し、ディスプレイパネルに表示する画像信号を適宜選択したり組み合わせたりする。また、その際には表示する画像信号に応じてディスプレイパネルコントローラ2102に対して制御信号を発生し、画面表示周波数や走査方法（例えばインターレースかノンインターレースか）や一画面の走査線の数など表示装置の動作を適宜制御する。画像生成回路2107に対して画像データや文字・図形情報を直接出力したり、あるいは前記入出力インターフェース回路2105を介して外部のコンピュータやメモリをアクセスして画像データや文字・図形情報を入力する。

【0156】

なお、CPU2106は、むろんこれ以外の目的の作業にも関わるものであっても良い。例えば、パーソナルコンピュータやワードプロセッサなどのように、情報を生成したり処理する機能に直接関わっても良い。あるいは、前述したように入出力インターフェース回路2105を介して外部のコンピュータネットワークと接続し、例えば数値計算などの作業を外部機器と協働して行っても良い。

【0157】

また、入力部2114は、CPU2106に使用者が命令やプログラム、あるいはデータなどを入力するためのものであり、例えばキーボードやマウスのほか、ジョイスティック、バーコードリーダー、音声認識装置など多様な入力機器を用いる事が可能である。デコーダ2104は、前記2107ないし2113より入力される種々の画像信号を3原色信号、または輝度信号とI信号、Q信号に変換するための回路である。なお、同図中に点線で示すように、デコーダ2104は内部に画像メモリを備えるのが望ましい。これは、例えばMUSE方式をはじめとして、逆変換するに際して画像メモリを必要とするようなテレビ信号を扱うためである。また、画像メモリを備えることにより、静止画の表示が容易になる、あるいは前記画像生成回路2107およびCPU2106と協同して画像の

間引き、補間、拡大、縮小、合成をはじめとする画像処理や編集が容易に行えるようになるという利点が生まれるからである。

【0158】

また、マルチプレクサ2103は、CPU2106より入力される制御信号に基づき表示画像を適宜選択するものである。即ち、マルチプレクサ2103はデコーダ2104から入力される逆変換された画像信号のうちから所望の画像信号を選択して駆動回路2101に出力する。その場合には、一画面表示時間内で画像信号を切り替えて選択することにより、いわゆる多画面テレビのように、一画面を複数の領域に分けて領域によって異なる画像を表示することも可能である。ディスプレイパネルコントローラ2102は、前記CPU2106より入力される制御信号に基づき駆動回路2101の動作を制御するための回路である。

【0159】

まず、ディスプレイパネルの基本的な動作にかかわるものとして、例えばディスプレイパネルの駆動用電源（図示せず）の動作シーケンスを制御するための信号を駆動回路2101に対して出力する。また、ディスプレイパネルの駆動方法に関わるものとして、例えば画面表示周波数や走査方法（例えばインターレースかノンインターレースか）を制御するための信号を駆動回路2101に対して出力する。また、場合によっては表示画像の輝度やコントラストや色調やシャープネスといった画質の調整に関わる制御信号を駆動回路2101に対して出力する場合もある。

【0160】

また、駆動回路2101は、ディスプレイパネル2100に印加する駆動信号を発生するための回路であり、マルチプレクサ2103から入力される画像信号と、前記ディスプレイパネルコントローラ2102より入力される制御信号に基づいて動作するものである。

【0161】

以上、各部の機能を説明したが、図30に例示した構成により、本表示装置においては多様な画像情報源より入力される画像情報をディスプレイパネル2100に表示する事が可能である。即ち、テレビジョン放送をはじめとする各種の画

像信号はデコーダ 2104 において逆変換された後、マルチプレクサ 2103 において適宜選択され、駆動回路 2101 に入力される。一方、ディスプレイコントローラ 2102 は、表示する画像信号に応じて駆動回路 2101 の動作を制御するための制御信号を発生する。駆動回路 2101 は、上記画像信号と制御信号に基づいてディスプレイパネル 2100 に駆動信号を印加する。これにより、ディスプレイパネル 2100 において画像が表示される。これらの一連の動作は、CPU 2106 により統括的に制御される。

【0162】

また、本表示装置においては、前記デコーダ 2104 に内蔵する画像メモリや、画像生成回路 2107 および CPU 2106 が関与することにより、単に複数の画像情報の中から選択したものを表示するだけでなく、表示する画像情報に対して、例えば拡大、縮小、回転、移動、エッジ強調、間引き、補間、色変換、画像の縦横比変換などをはじめとする画像処理や、合成、消去、接続、入れ換え、はめ込みなどをはじめとする画像編集を行うことも可能である。また、本実施の形態の説明では特に触れなかったが、上記画像処理や画像編集と同様に、音声情報に関しても処理や編集を行うための専用回路を設けても良い。

【0163】

従って、本表示装置は、テレビジョン放送の表示機器、テレビ会議の端末機器、静止画像および動画像を扱う画像編集機器、コンピュータの端末機器、ワードプロセッサをはじめとする事務用端末機器、ゲーム機などの機能を一台で兼ね備える事が可能で、産業用あるいは民生用として極めて応用範囲が広い。

【0164】

なお、上記図 30 は、表面伝導型放出素子を電子源とするディスプレイパネルを用いた表示装置の構成の一例を示したにすぎず、これのみに限定されるものではない事は言うまでもない。例えば、図 30 の構成要素のうち使用目的上必要のない機能に関わる回路は省いても差し支えない。またこれとは逆に、使用目的によってはさらに構成要素を追加しても良い。例えば、本表示装置をテレビ電話機として応用する場合には、テレビカメラ、音声マイク、照明機、モデムを含む送受信回路などを構成要素に追加するのが好適である。

【0165】

本表示装置においては、とりわけ表面伝導型放出素子を電子源とするディスプレイパネルが容易に薄形化できるため、表示装置全体の奥行きを小さくすることが可能である。それに加えて、表面伝導型放出素子を電子源とするディスプレイパネルは大画面化が容易で輝度が高く視野角特性にも優れるため、本表示装置は臨場感あふれ迫力に富んだ画像を視認性良く表示する事が可能である。

【0166】

以上説明したように本実施の形態によれば、良好な輝度分解能を持つ画像表示装置を、最小限のハードウェアの増加で実現できた。

【0167】

【発明の効果】

以上説明したように本発明によれば、画像信号の変換特性に応じた周波数のクロック信号によりパルス幅変調した信号を出力して画像を表示できるという効果がある。

【0168】

また本発明によれば、要求される輝度分解能を持つ画像を最小限の規模のハードウェアにより実現できるという効果がある。

【0169】

【図面の簡単な説明】

【図1】

本発明の実施の形態1の画像表示装置の回路構成を示すブロック図である。

【図2】

本実施の形態1の変調信号発生部の構成を示すブロック図である。

【図3】

実施の形態1の変調信号発生部によるパルス幅変調信号の発生を示すタイミング図である。

【図4】

実施の形態1のPWMクロック発生器の構成を示すブロック図である。

【図5】

本実施の形態 1、2 の PWM クロック発生器の ROM データを説明する図である。

【図 6】

本実施の形態 1 の画像表示装置の動作を示すタイミング図である。

【図 7】

本実施の形態 1 における入力データ対輝度出力特性を示すグラフ図である。

【図 8】

実施の形態 1 における入力データ対輝度誤差特性を拡大して示すグラフ図である。

【図 9】

本発明の実施の形態 2 の PWM クロック発生器の構成を示すブロック図である。

【図 10】

本発明の実施の形態 3 の PWM クロック発生器の構成を示すブロック図である。

【図 11】

実施の形態 3 の PWM クロック発生器の動作を説明する図である。

【図 12】

実施の形態 3 における入力データ対輝度出力特性を示すグラフ図である。

【図 13】

本発明の実施の形態 4 の PWM クロック発生器の動作を説明する図である。

【図 14】

実施の形態 4 における入力データ対輝度出力特性を示すグラフ図である。

【図 15】

実施の形態 4 における入力データ対輝度誤差特性を拡大して示すグラフ図である。

【図 16】

本発明の実施の形態 5 の PWM クロック発生器の構成を示すブロック図である。

【図 17】

変調信号発生部の他の構成例を示すブロック図である。

【図 18】

図 18 の変調信号発生部の動作を示すタイミング図である。

【図 19】

本発明の実施の形態の画像表示装置の表示パネルの一部を切り欠いて示した斜視図である。

【図 20】

本実施の形態の表示パネルのフェースプレートの蛍光体配列を例示した平面図である。

【図 21】

本実施の形態の平面型の表面伝導型放出素子の平面図 (a) と断面図 (b) である。

【図 22】

本実施の形態の平面型の表面伝導型放出素子の製造工程を示す断面図である。

【図 23】

本実施の形態における通電フォーミング処理の際の印加電圧波形を示す図である。

【図 24】

本実施の形態の通電活性化処理の際の印加電圧波形 (a), 放電電流 I_e の変化 (b) を示す図である。

【図 25】

本実施の形態の垂直型の表面伝導型放出素子の断面図である。

【図 26】

本実施の形態の垂直型の表面伝導型放出素子の製造工程を示す断面図である。

【図 27】

本実施の形態の表面伝導型放出素子の典型的な特性を示すグラフ図である。

【図 28】

本実施の形態のマルチ電子源の基板の平面図である。

【図 2 9】

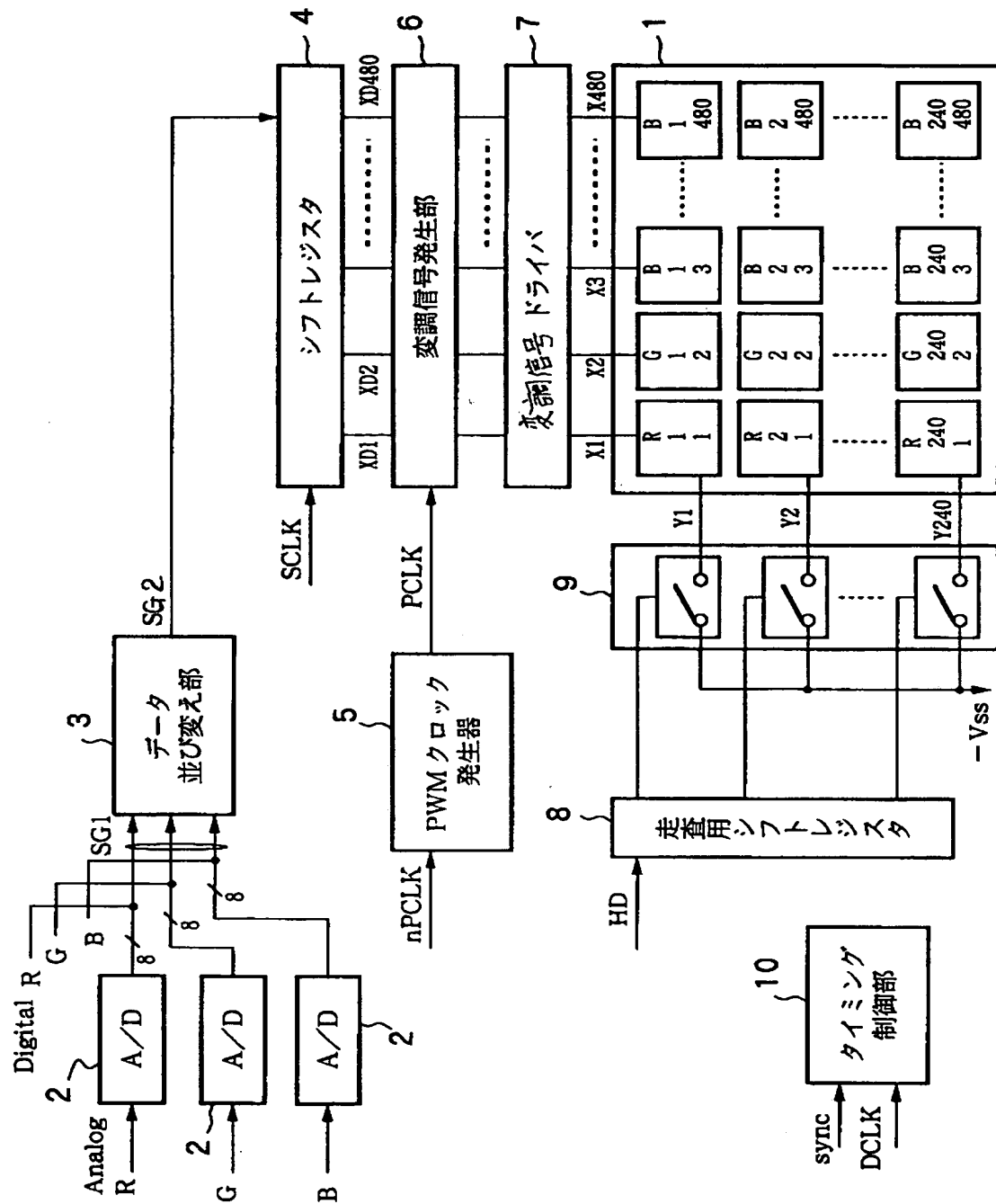
図 2 8 のマルチ電子源の基板の一部断面図である。

【図 3 0】

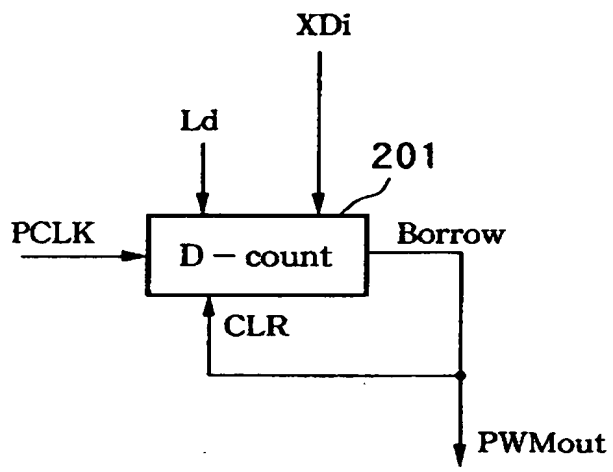
本発明の本実施の形態の画像表示装置を用いた多機能画像表示装置のブロック図である。

【書類名】 図面

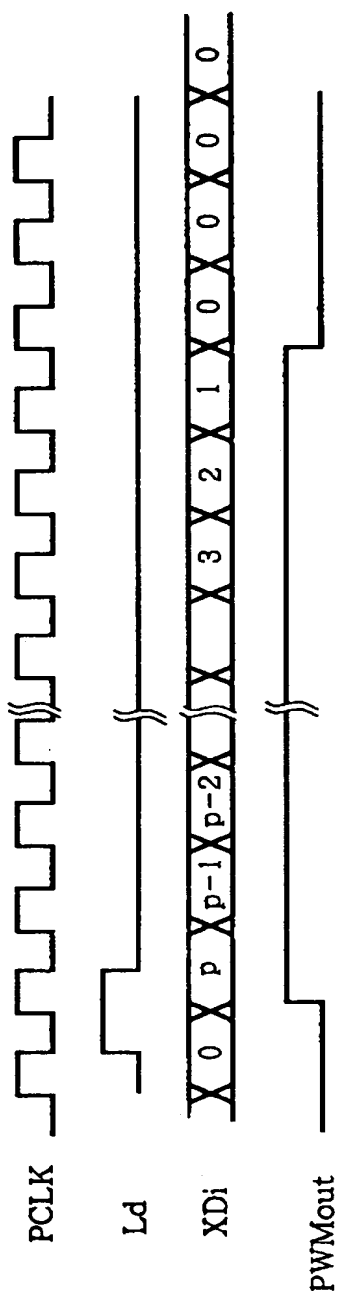
【図 1】



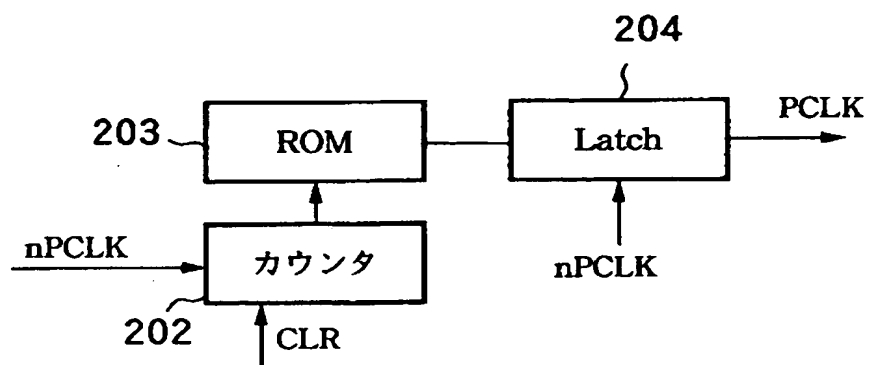
【図 2】



【図 3】



【図 4】

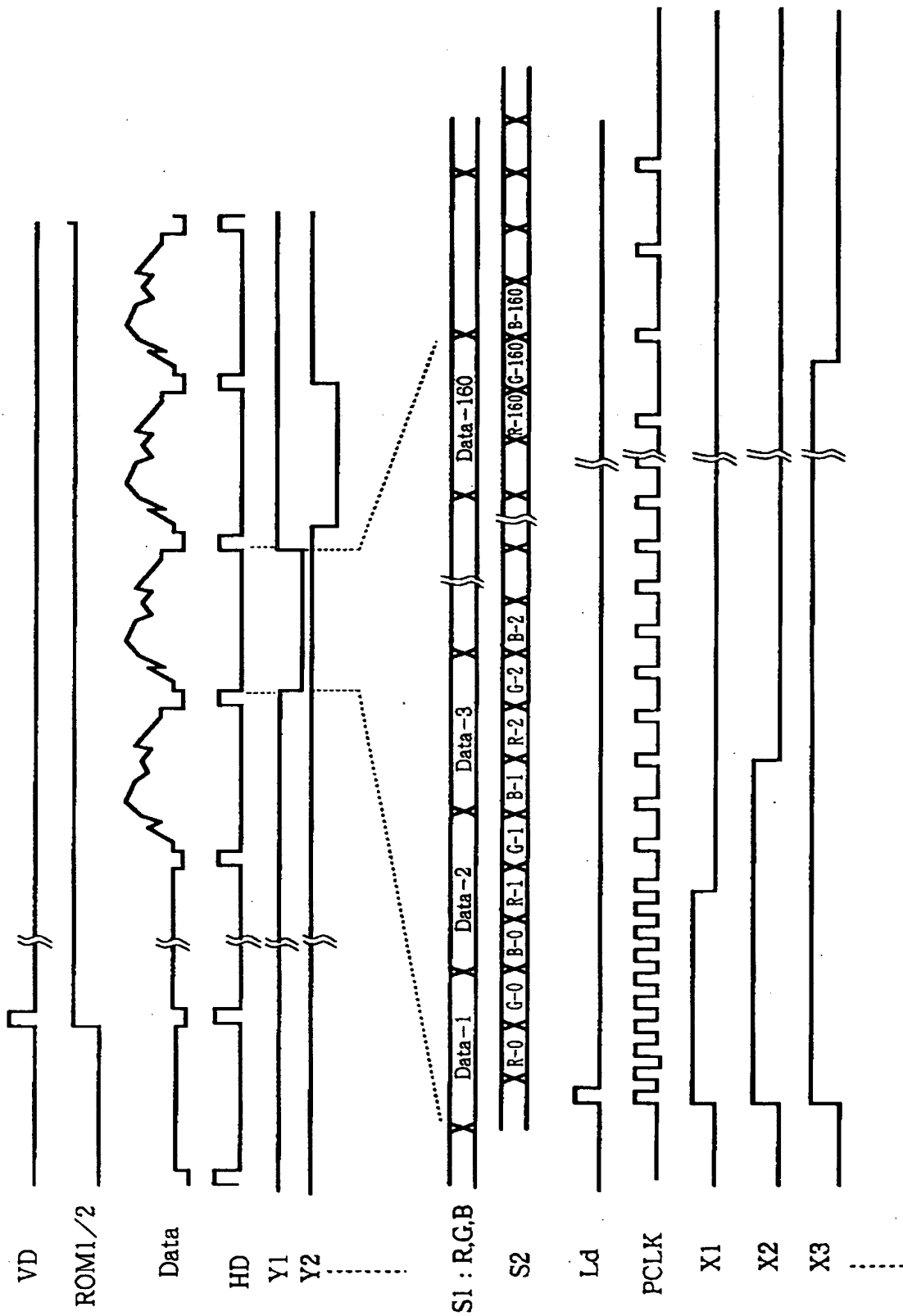


【図 5】

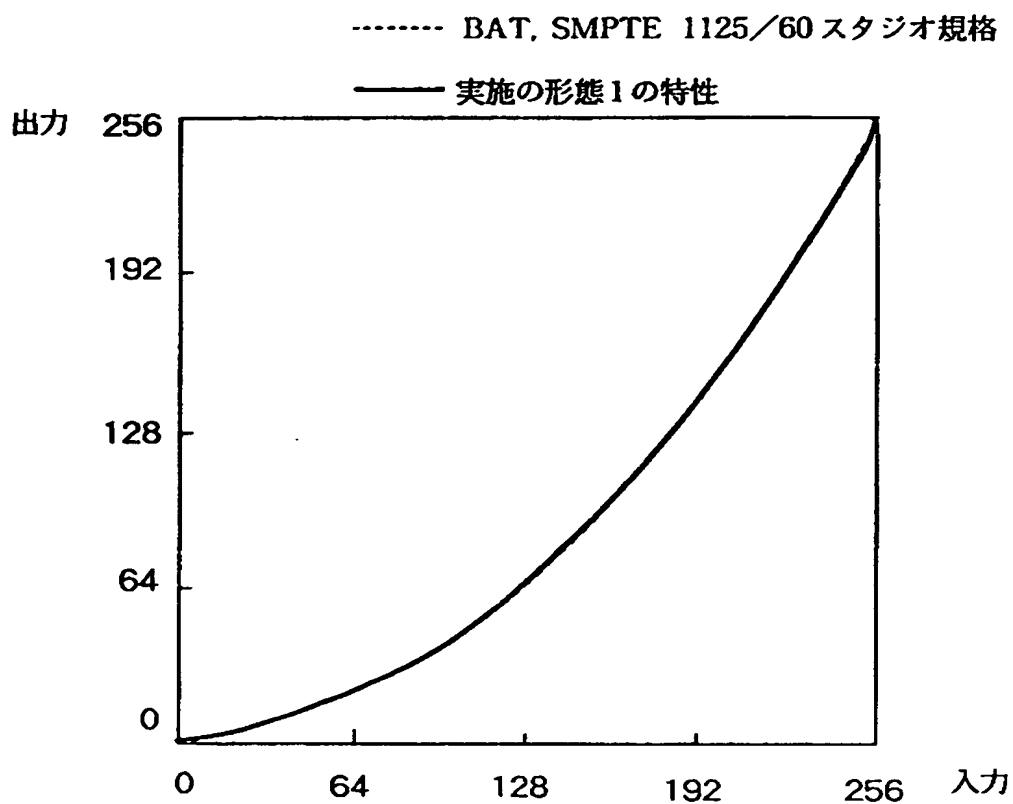
データが "1" であるアドレスを示す表
(他のアドレスのデータは "0" を示す)

0	40	86	152	240	350	484	640	820	1026	1256	1516	1800
2	42	90	156	246	356	490	648	830	1038	1270	1530	1816
4	44	92	160	250	362	498	656	840	1048	1284	1544	1830
6	46	96	164	256	368	506	666	850	1060	1296	1558	1846
8	48	98	168	260	374	512	674	860	1070	1308	1572	1860
10	50	102	172	266	382	520	682	870	1082	1320	1584	1876
12	52	104	176	272	388	528	692	880	1094	1332	1598	1892
14	54	108	182	276	394	536	700	890	1104	1346	1612	1906
16	56	110	186	282	400	542	710	900	1116	1358	1626	1922
18	58	114	190	288	408	550	718	910	1128	1372	1642	1938
20	62	118	194	292	414	558	728	920	1140	1384	1656	1954
22	64	120	198	298	420	566	736	930	1150	1396	1670	1968
24	66	124	202	304	428	574	746	942	1162	1410	1684	1984
26	68	128	208	310	434	582	754	952	1174	1424	1698	2000
28	70	130	212	316	440	590	764	962	1186	1436	1712	2016
30	74	134	216	320	448	598	774	972	1198	1450	1728	2032
32	76	138	222	326	454	606	782	984	1210	1462	1742	2048
34	78	142	226	332	462	614	792	994	1222	1476	1756	
36	82	146	230	338	468	622	802	1004	1234	1490	1772	
38	84	150	236	344	476	632	810	1016	1246	1502	1786	

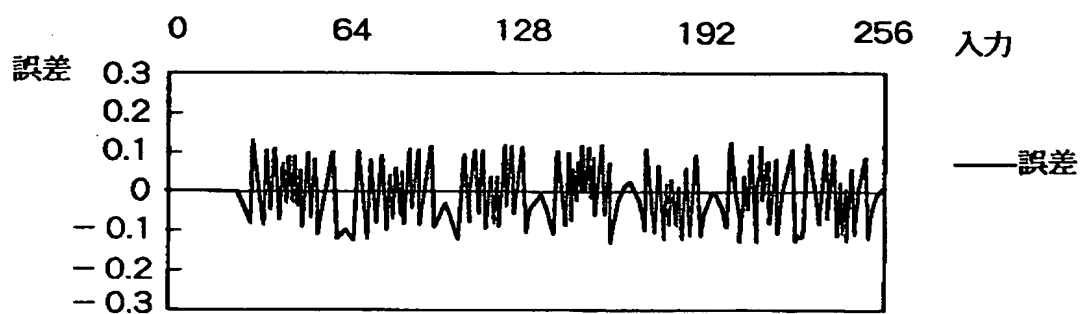
【図 6】



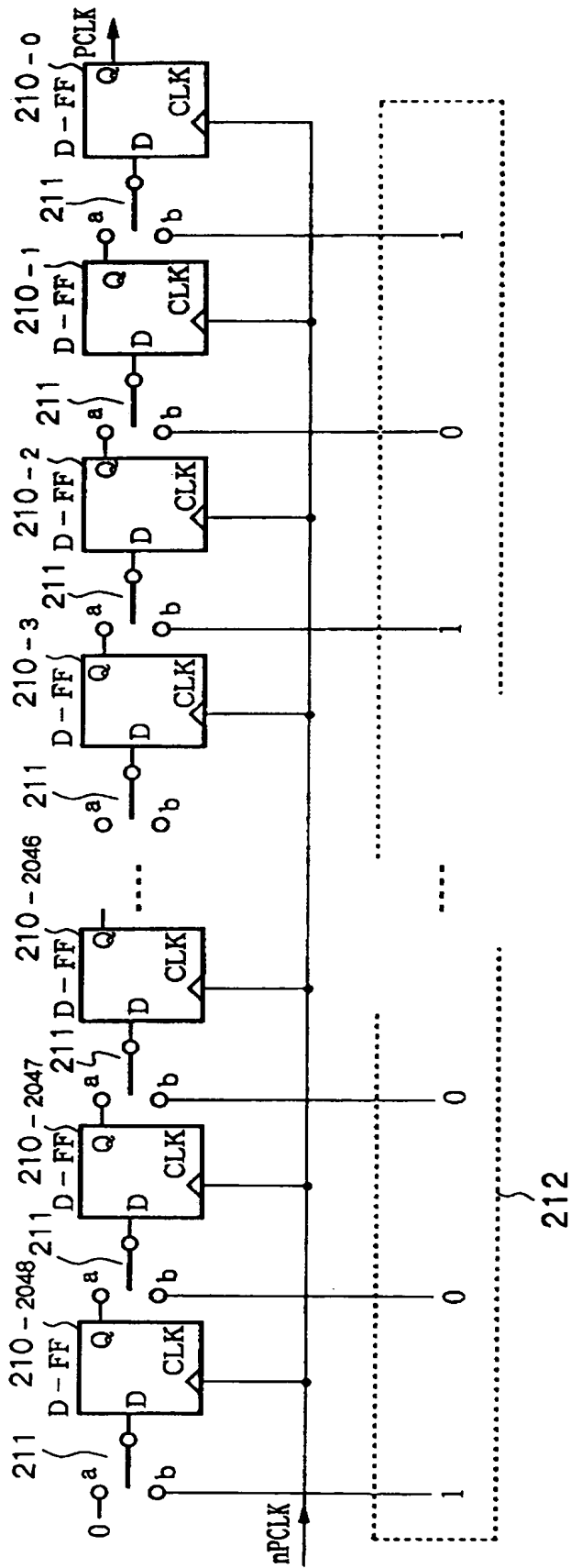
【図 7】



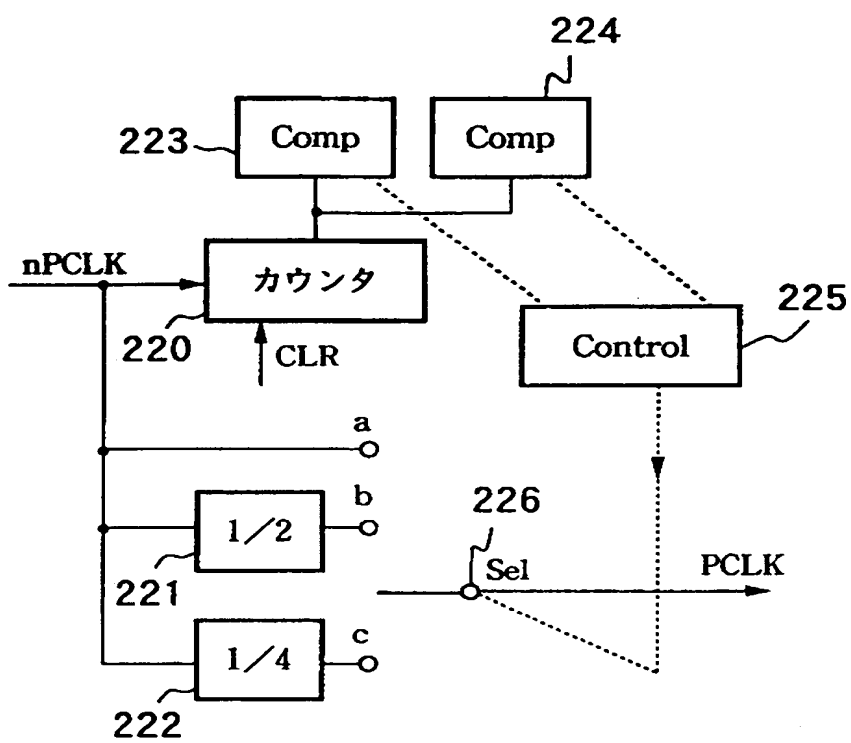
【図 8】



【図 9】



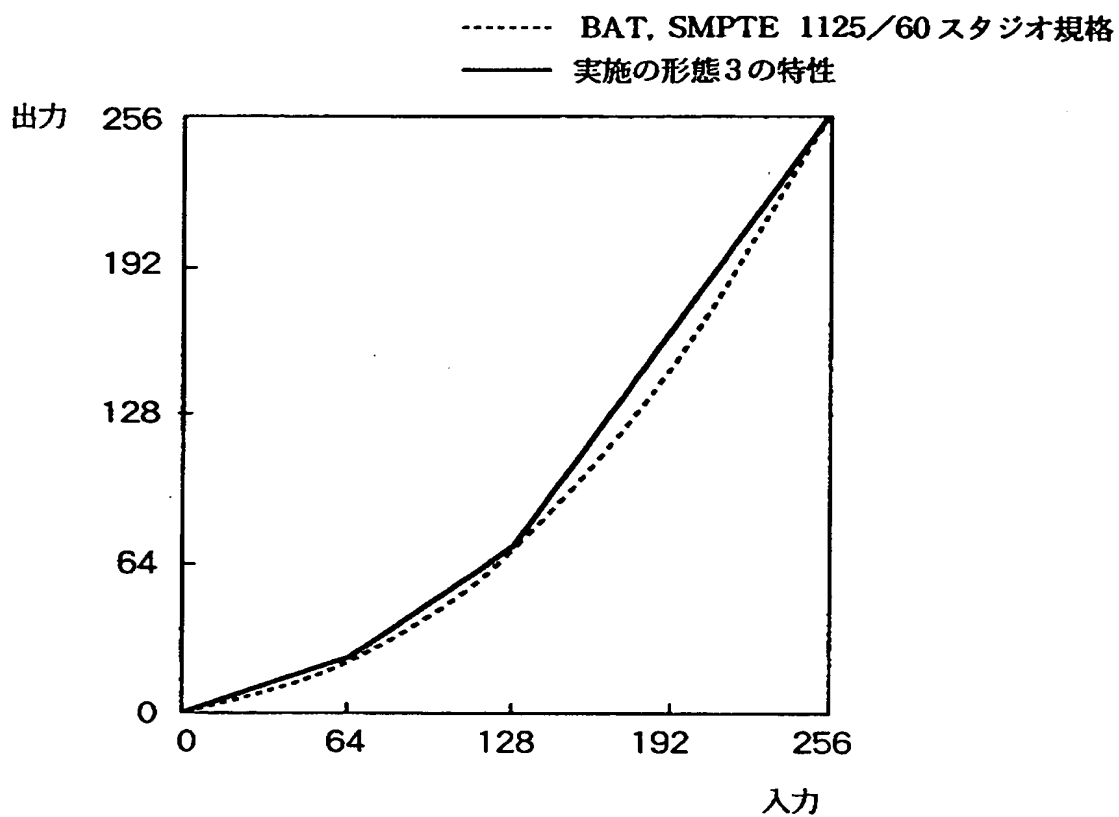
【図 10】



【図 11】

カウンタの値	分周比
0~63	1/1
64~191	1/2
192~703	1/4

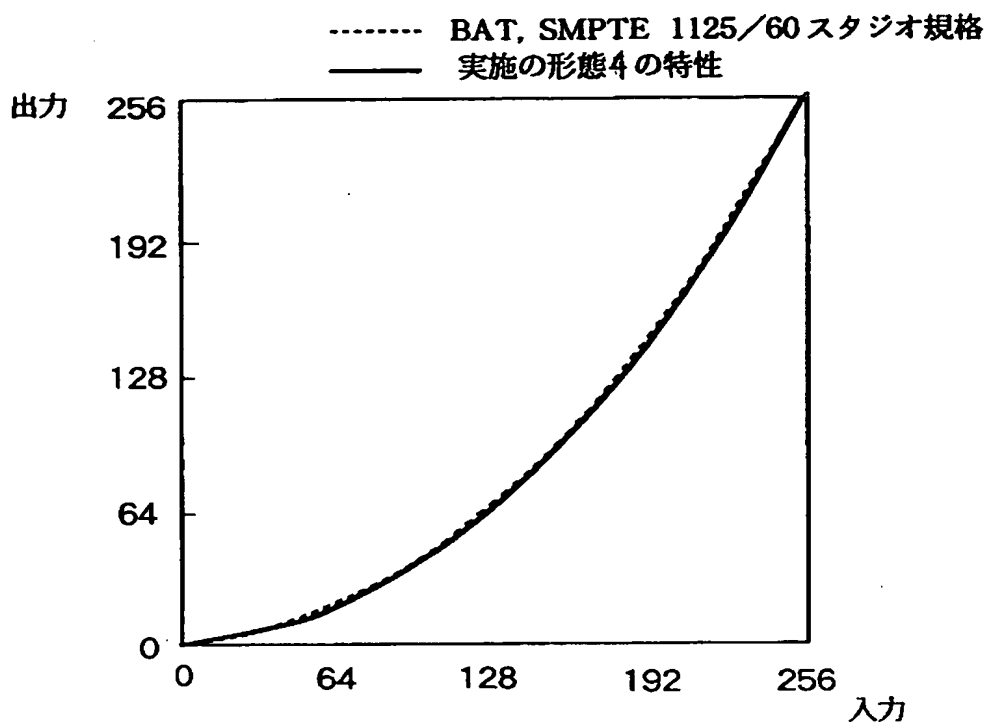
【図 1 2】



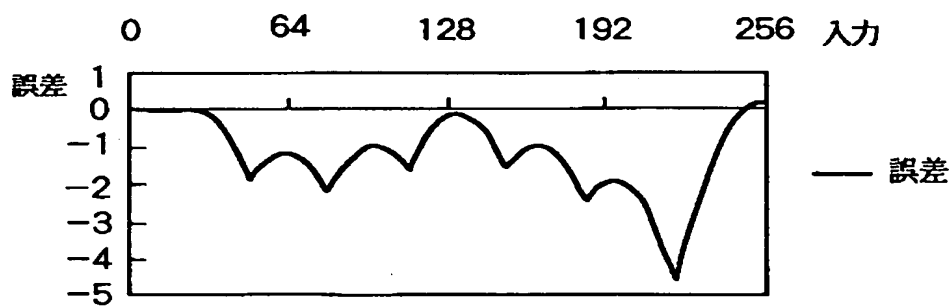
【図 1 3】

カウンタの値	分周比
0~47	1/1
48~111	1/2
112~207	1/3
208~367	1/4
368~527	1/5
528~751	1/6
752~1029	1/8

【図 1 4】

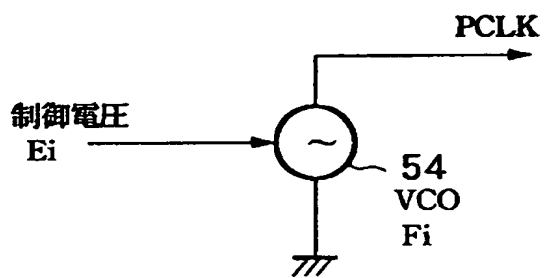


【図 1 5】

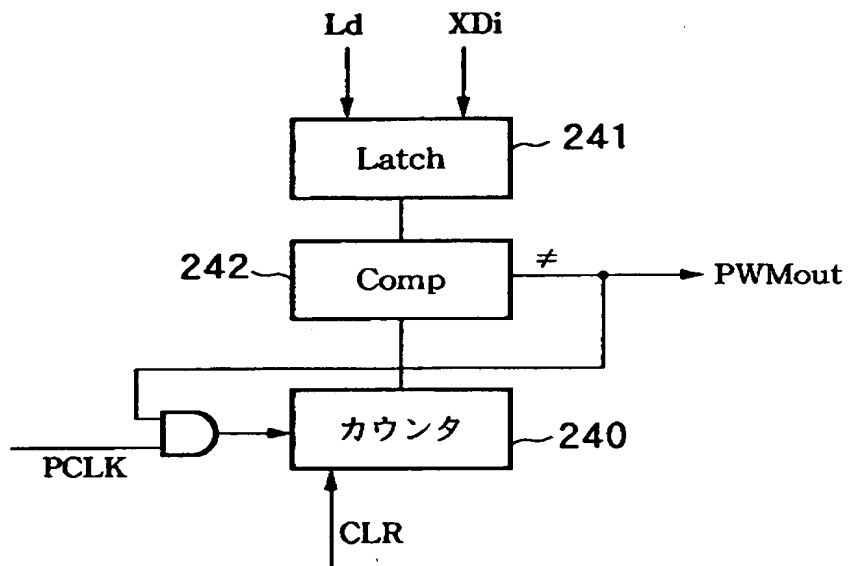


実施の形態 4 の入力データに対する輝度特性誤差

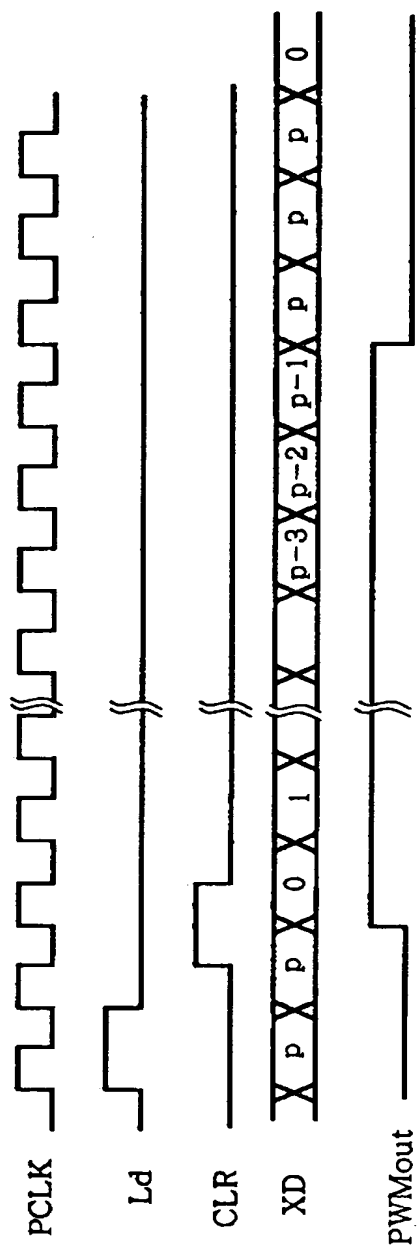
【図 16】



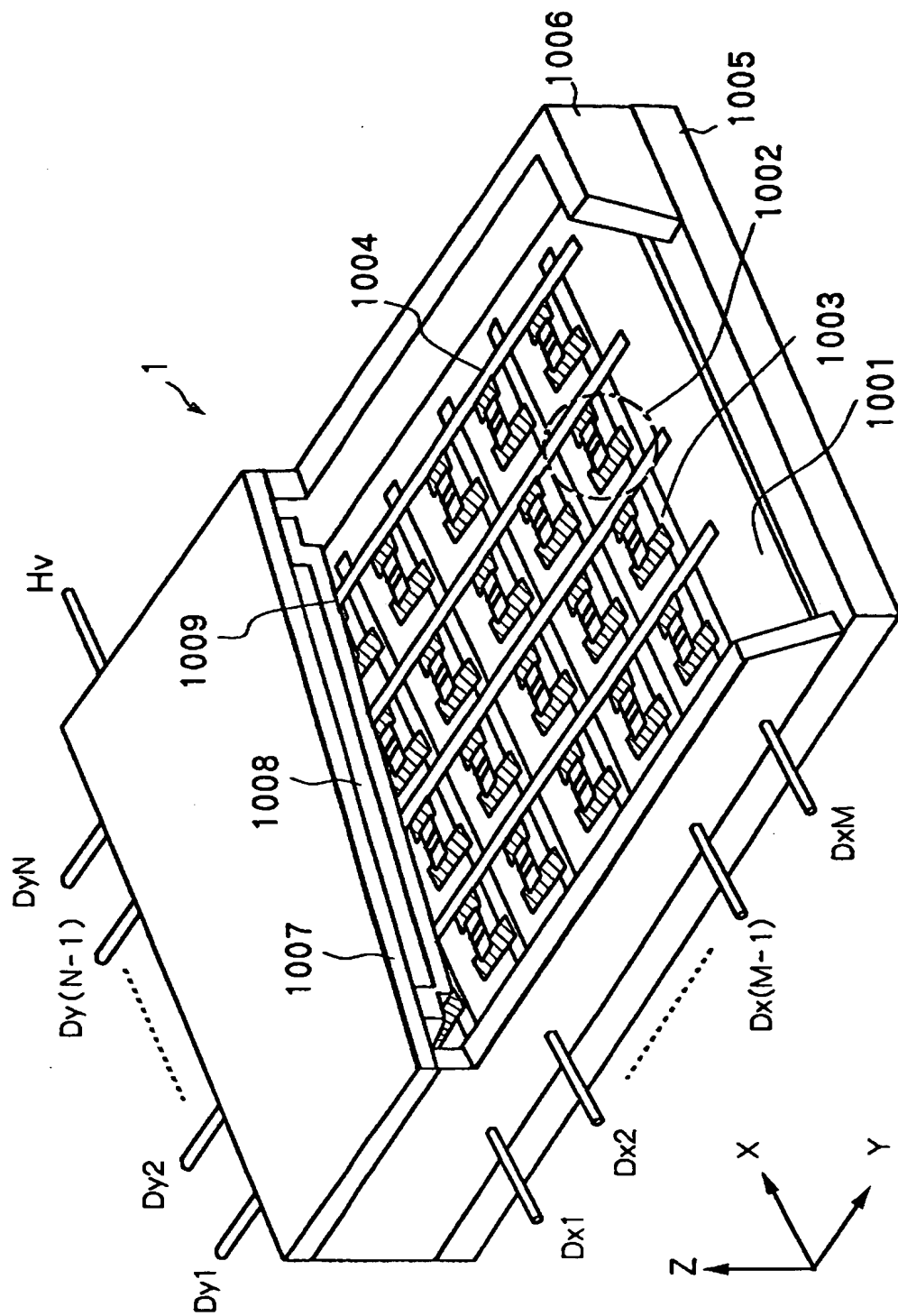
【図 17】



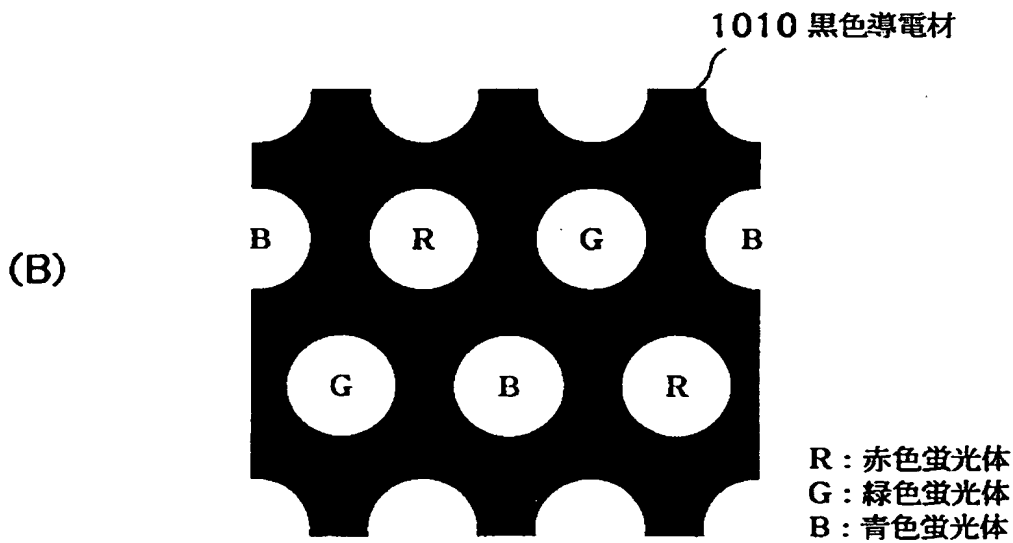
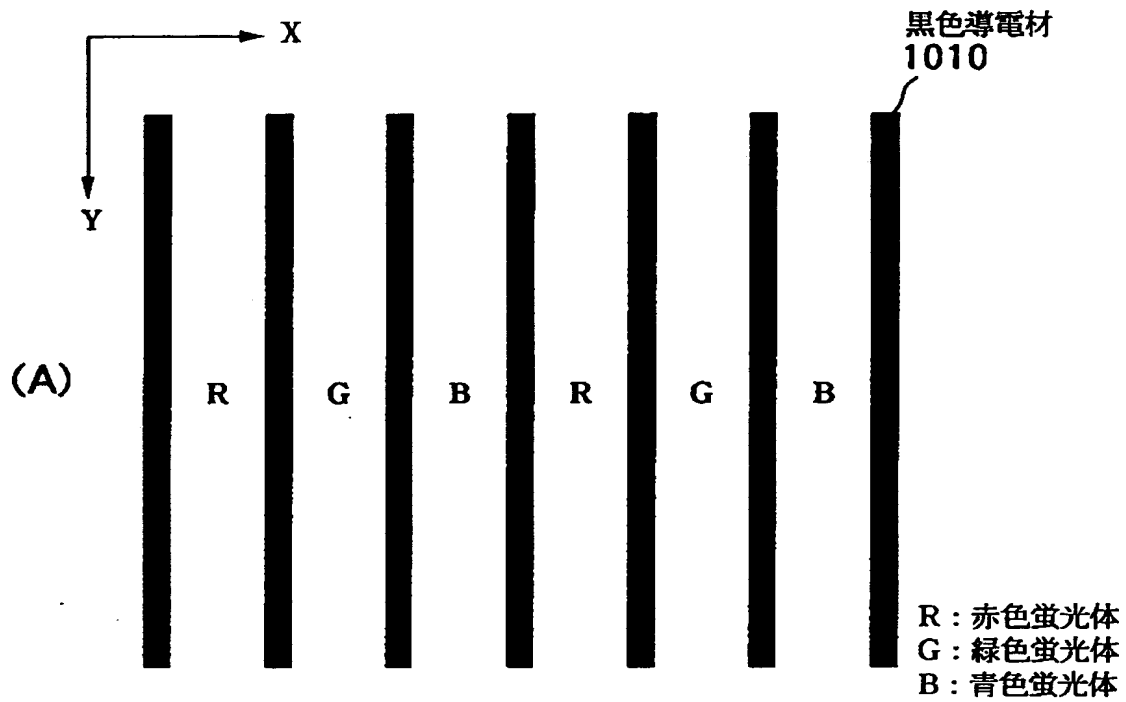
【图 1 8】



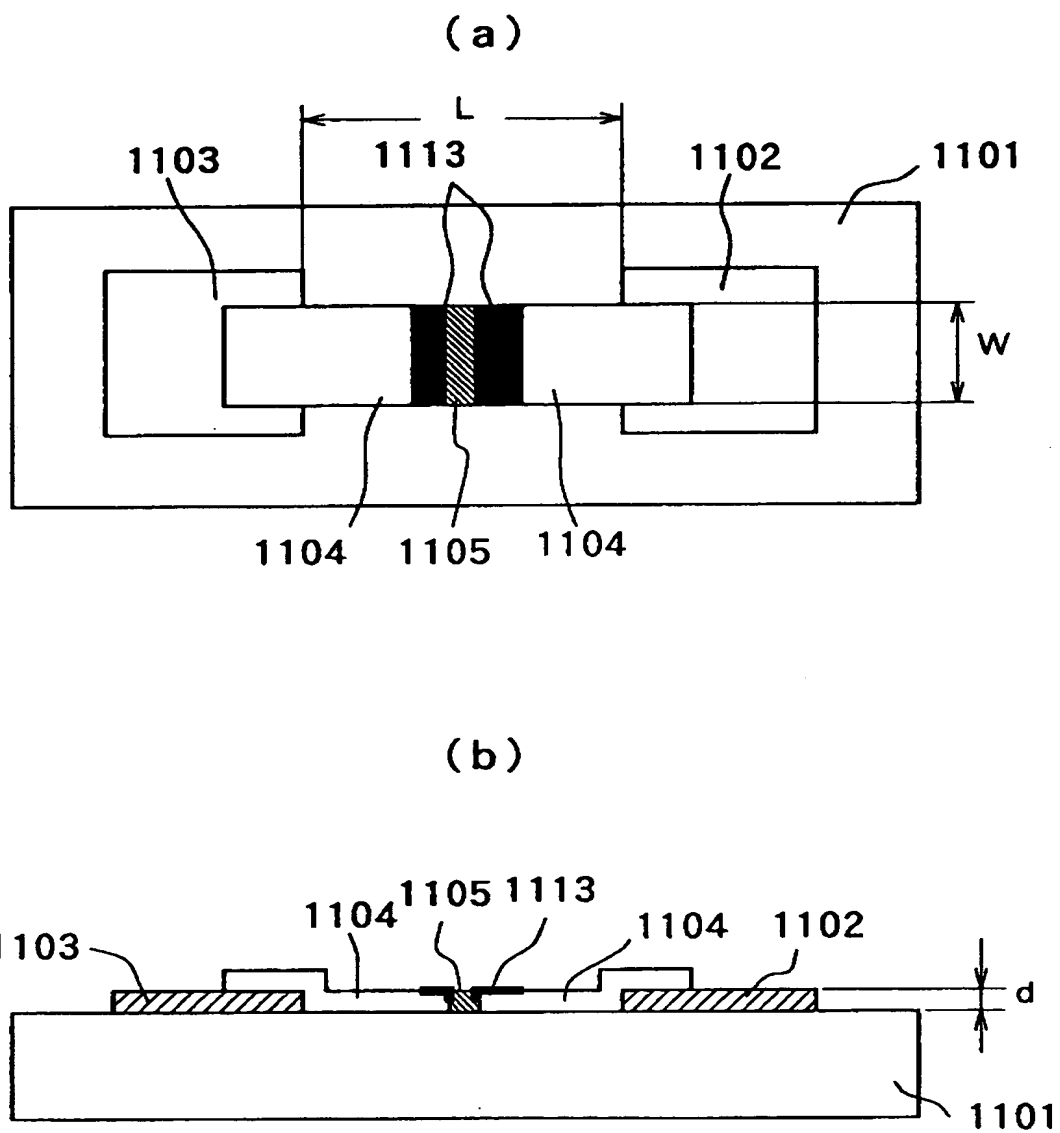
【図 19】



【図 2 0】

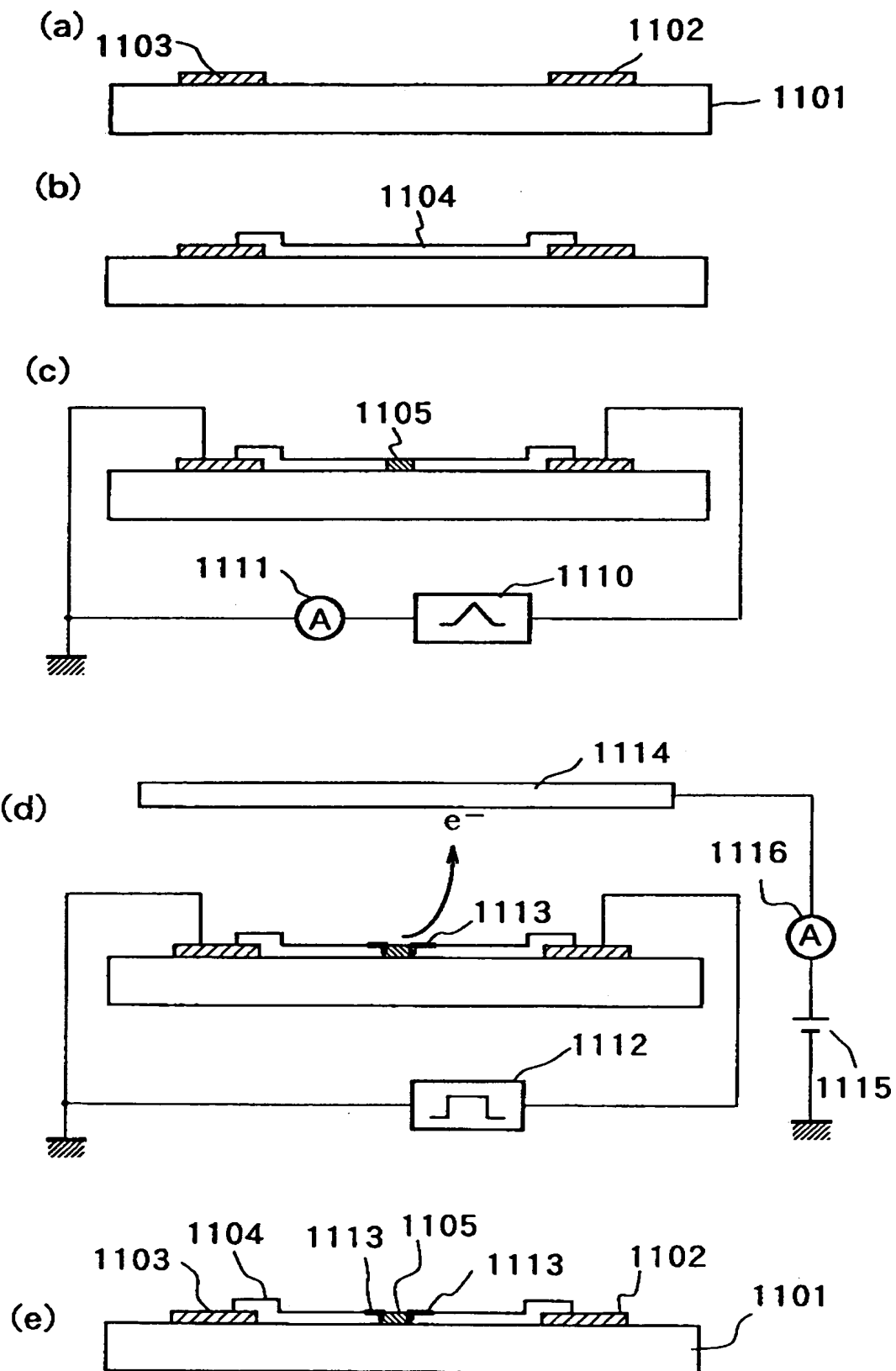


【図 21】

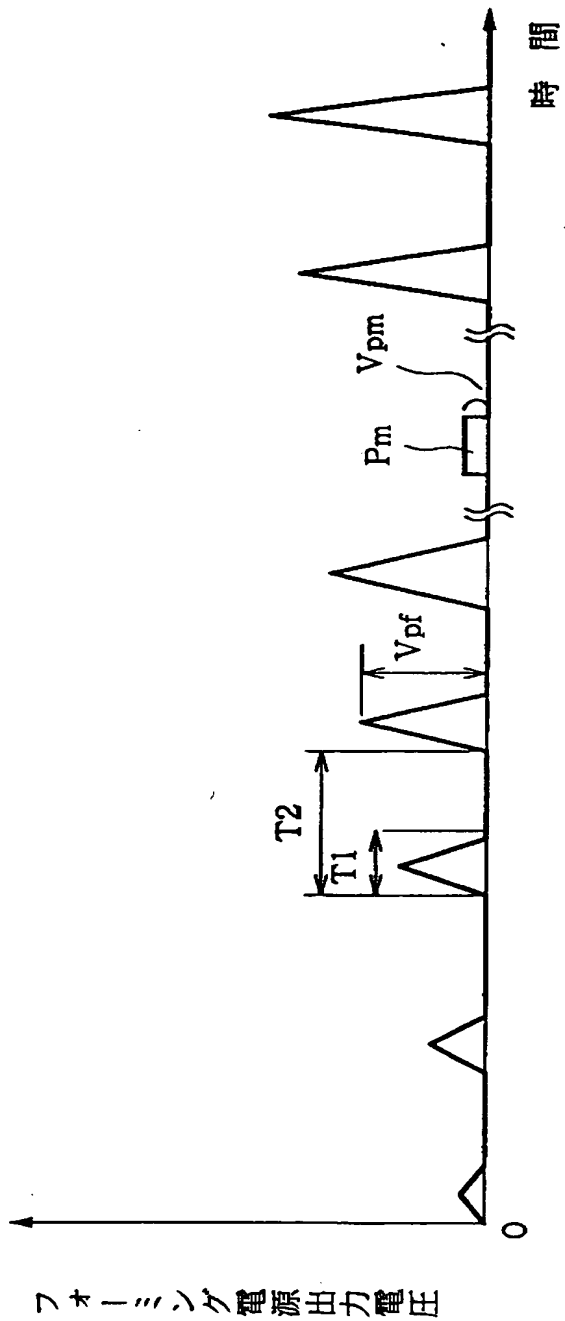


●
特平 1 0 — 1 2 6 4 6 0

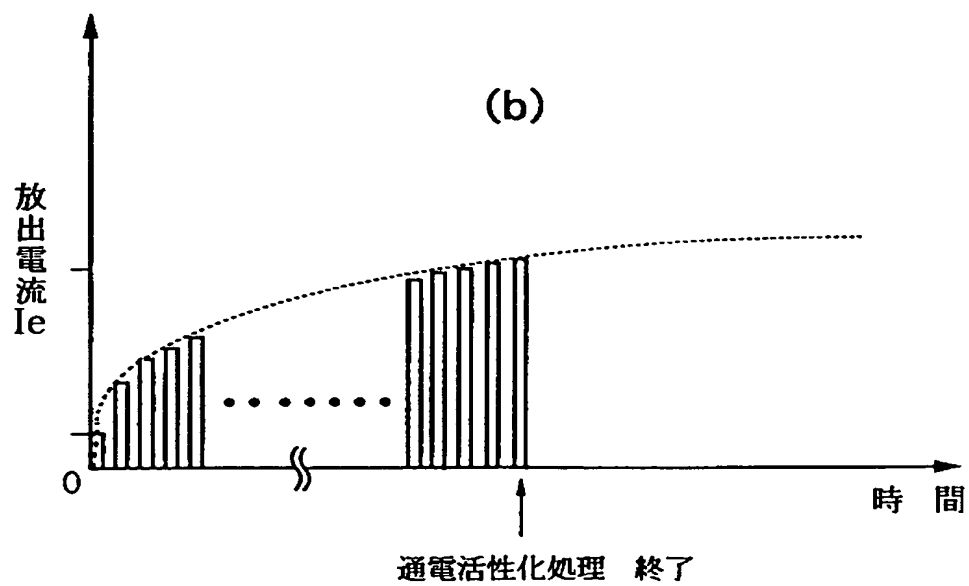
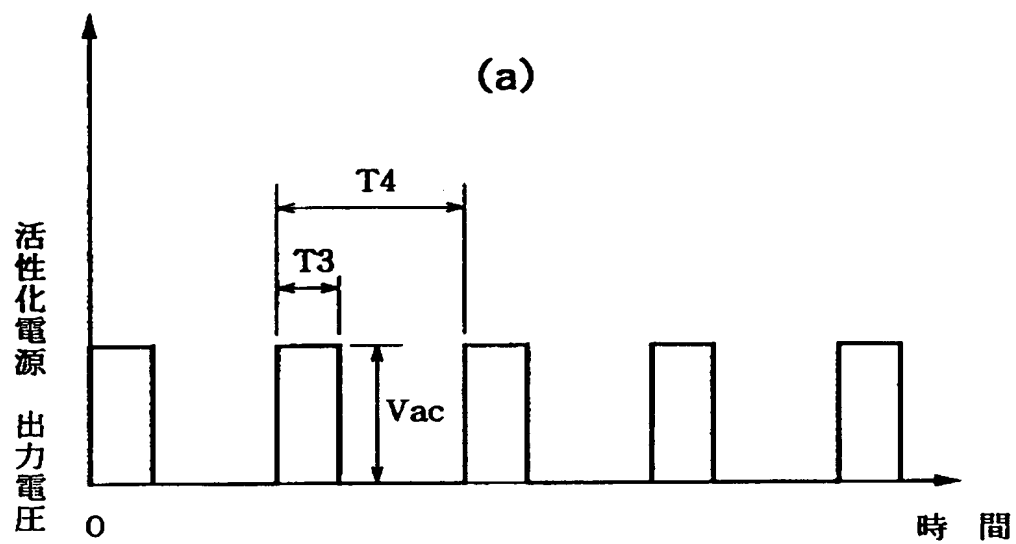
【図 2 2】



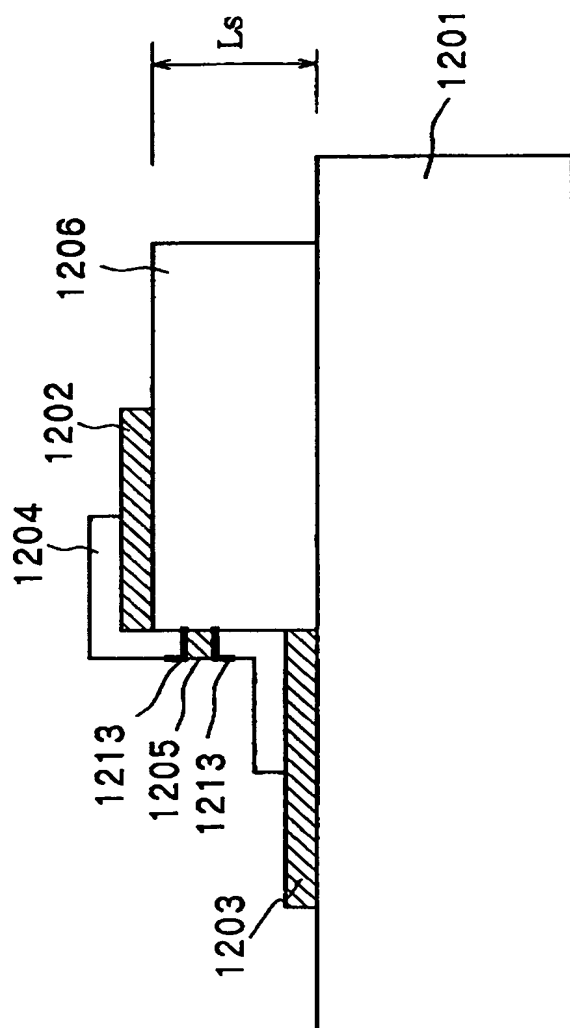
【図 23】



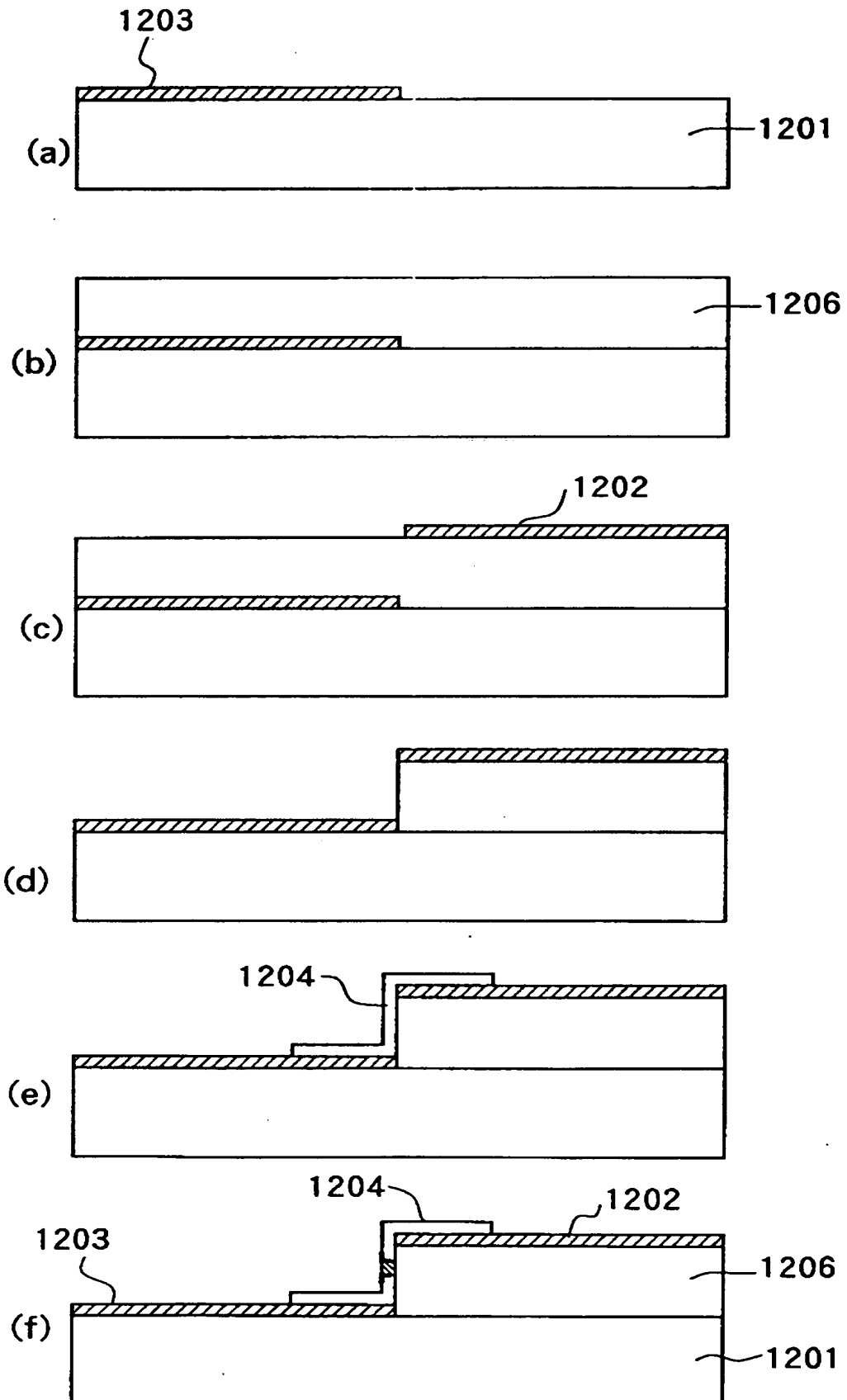
【図 24】



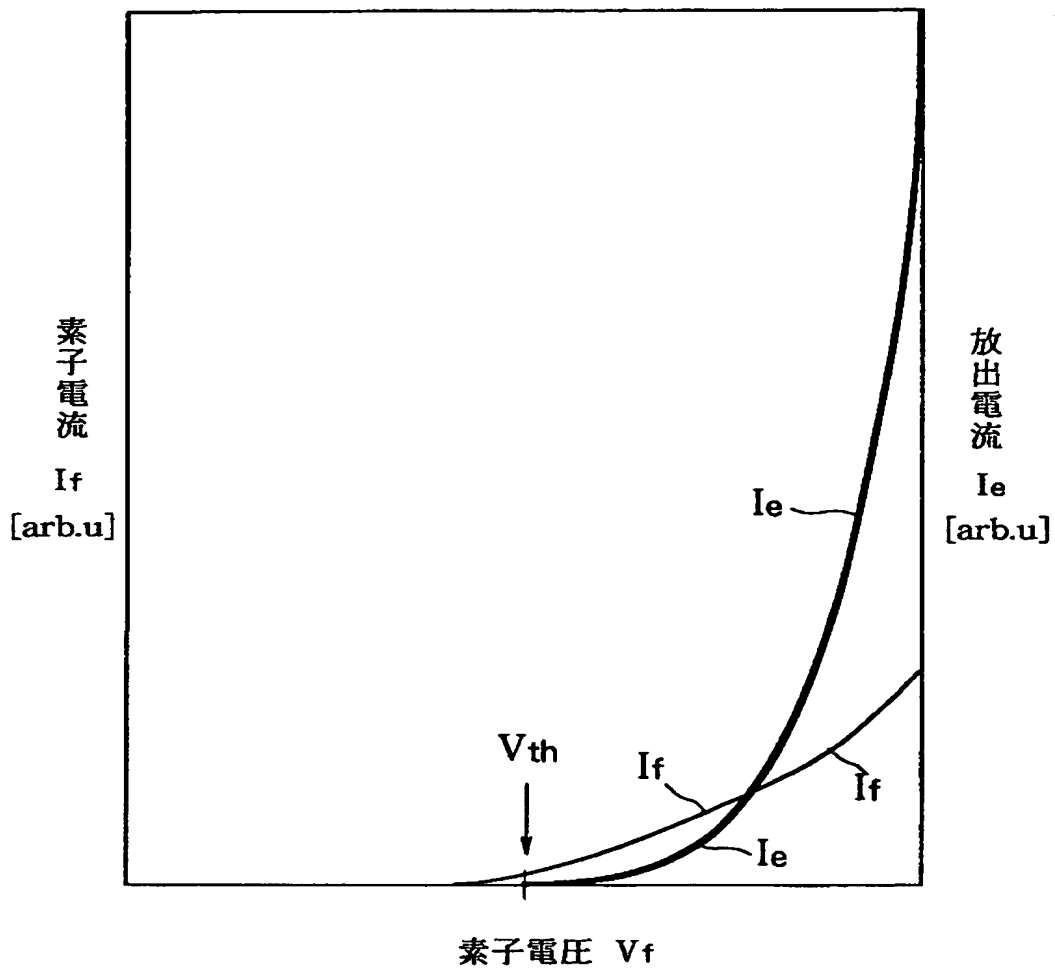
【図 25】



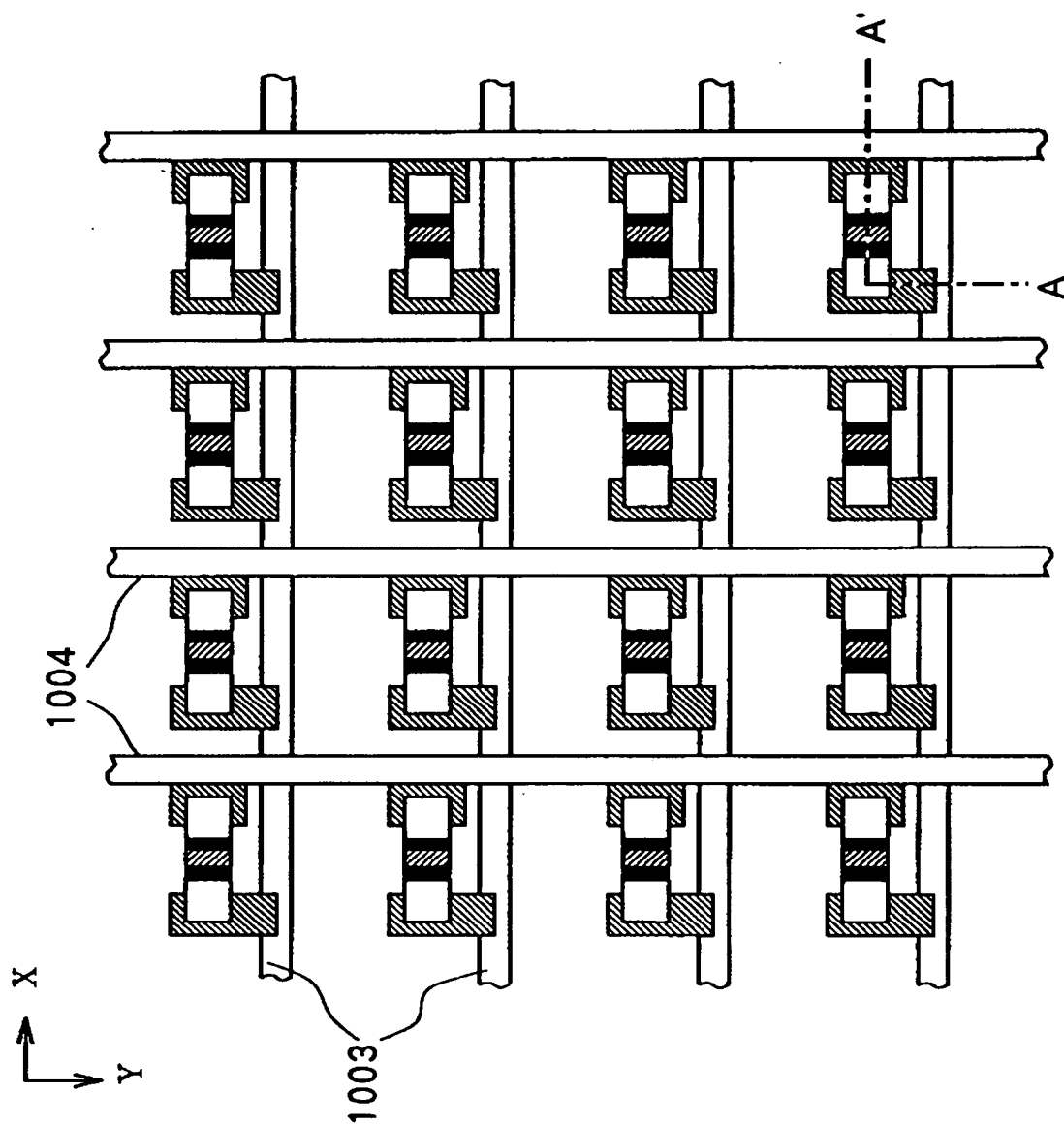
【図 26】



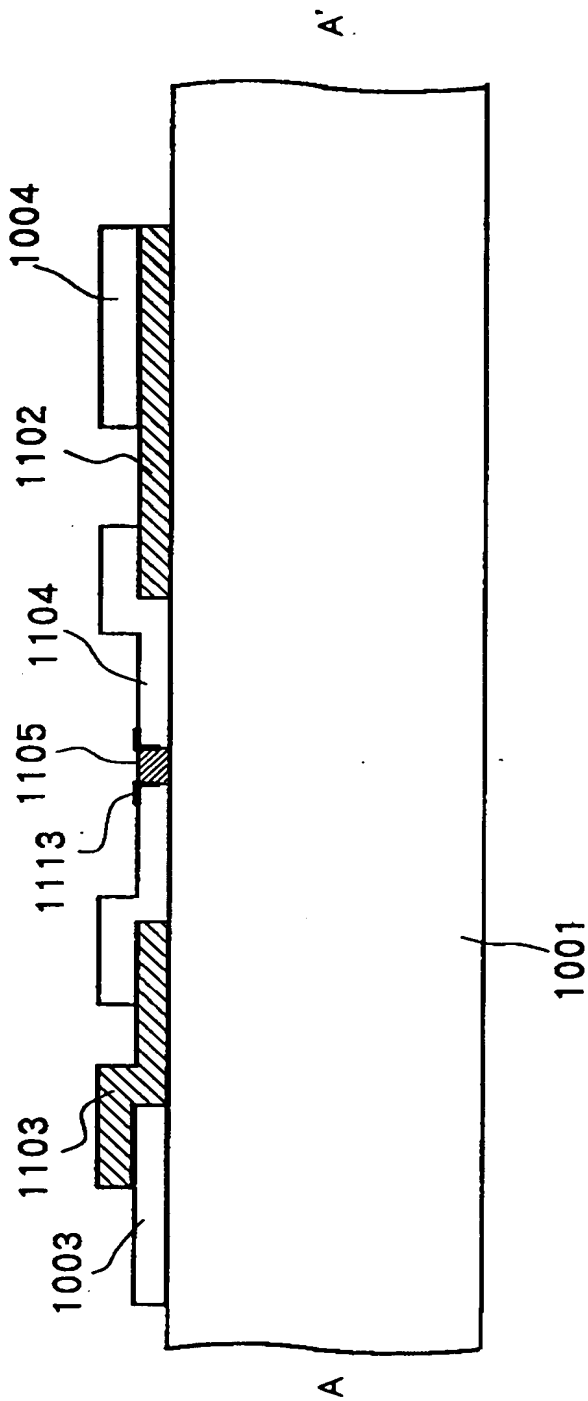
【図 27】



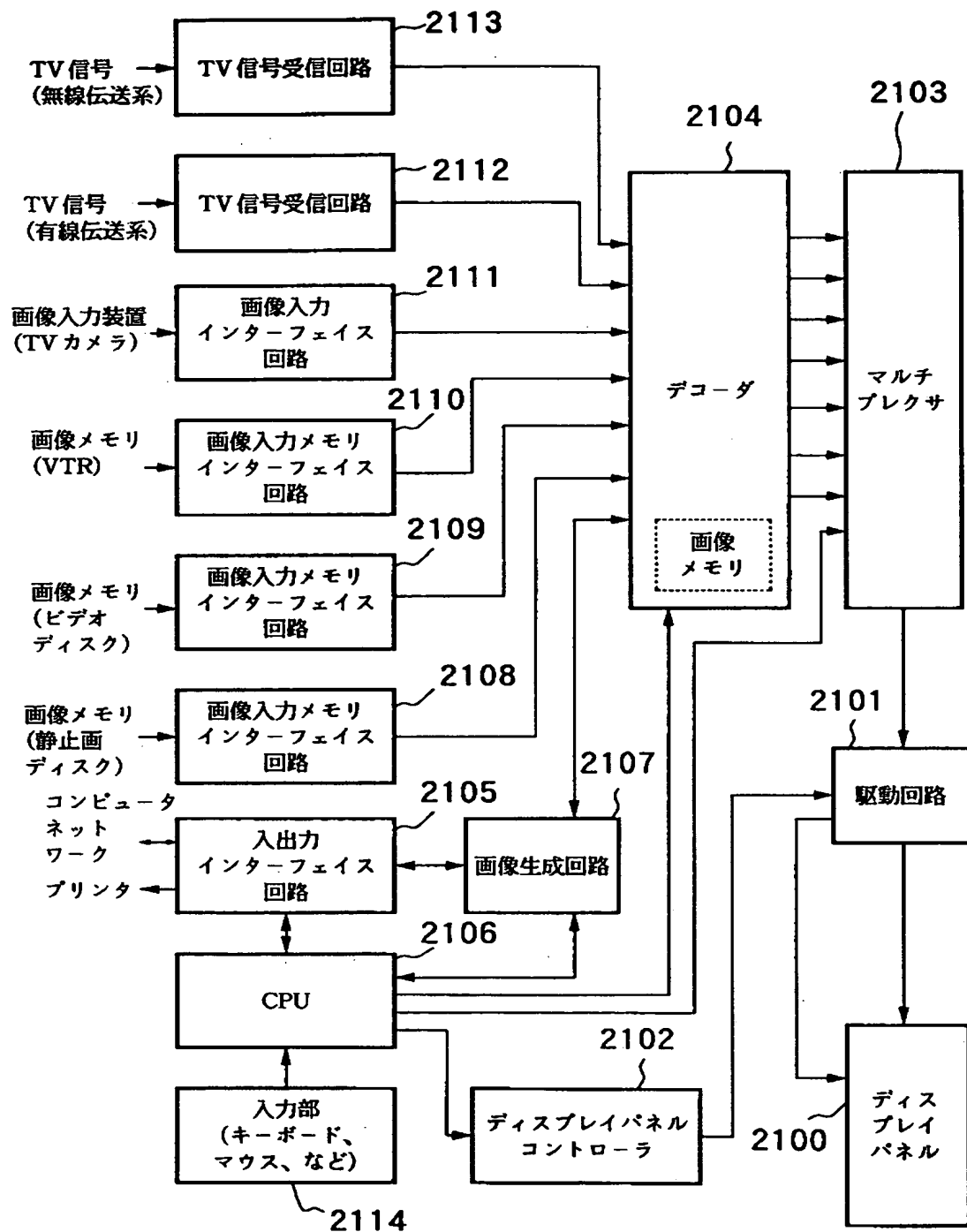
【図 28】



【図 29】



【図 30】



【書類名】 要約書

【要約】

【課題】 画像信号の変換特性に応じた周波数のクロック信号によりパルス幅変調した信号を出力して画像を表示する画像表示方法及び装置を提供する。

【解決手段】 マトリクス状に配線された複数の冷陰極素子を備える電子源と、その電子源から放出される電子により発光して画像を表示する画像表示部材とを有する表示パネル 1 と、入力した画像信号の変換特性に応じたクロック信号を発生する PWM クロック発生器 5 と、入力した画像信号に基づいて表示パネル 1 に入力する各水平走査分の画像信号を、PWM クロック発生器 5 よりのクロック信号 (PCLK) に基づいてパルス幅変調した変調信号を発生する変調信号発生部 6 と、各水平走査分の画像信号に同期して、表示パネル 1 の水平走査線 (行配線) を駆動する走査シフトレジスタ 8 と水平信号ドライバ 9 とを有し、この PCLK は、入力した画像信号の変換特性に応じた周期のクロック信号である。

【選択図】 図 1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000001007

【住所又は居所】 東京都大田区下丸子3丁目30番2号

【氏名又は名称】 キヤノン株式会社

【代理人】 申請人

【識別番号】 100076428

【住所又は居所】 東京都千代田区麹町5丁目7番地 紀尾井町TBR
ビル507号室

【氏名又は名称】 大塚 康德

【選任した代理人】

【識別番号】 100093908

【住所又は居所】 東京都千代田区麹町5丁目7番地 紀尾井町TBR
ビル507号室

【氏名又は名称】 松本 研一

【選任した代理人】

【識別番号】 100101306

【住所又は居所】 東京都千代田区麹町5丁目7番地 紀尾井町TBR
ビル507号室

【氏名又は名称】 丸山 幸雄

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都大田区下丸子3丁目30番2号
氏 名 キヤノン株式会社